

## BEST AVAILABLE COPY

B02

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11) Publication number:

1020030040912 A

(43) Date of publication of application:

23.05.2003

(21) Application number: 1020010071572

(71) Applicant:

(22) Date of filing: 17.11.2001

HYUNIX SEMICONDUCTOR INC.

(72) Inventor:

KANG, HUI BOK

(51) Int. Cl

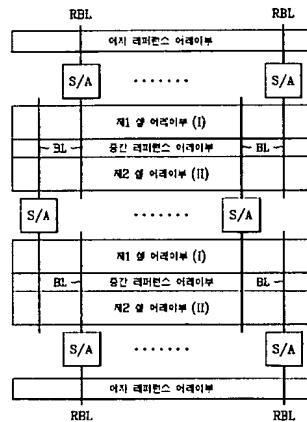
G11C 11/22

## (54) NON-VOLATILE FERROELECTRIC MEMORY DEVICE AND DRIVING METHOD THEREOF

## (57) Abstract:

PURPOSE: A non-volatile ferroelectric memory device is provided to be capable of improving a sensing margin by solving a problem caused by a coupling noise of bit lines.

CONSTITUTION: Top and bottom cell array parts are placed at upper and lower parts of a sense amplifier and comprise a plurality of unit cells. A reference array part is placed corresponding to one at the top and bottom cell array parts. A main bit line is connected to a unit cell of the top or bottom cell array. A reference bit line corresponds to the main bit line of the top or bottom cell array on the basis of the sense amplifier. When the top and bottom cell arrays are an open bit line structure, the reference array part comprises an intermediate reference array part placed at an intermediate portion of the cell array part and an edge reference array part placed at an edge portion of the cell array part.



COPYRIGHT KIPO 2003

## Legal Status

Date of final disposal of an application (20041123)

Patent registration number (1004635990000)

Date of registration (20041216)

Date of opposition against the grant of a patent (00000000)

Number of trial against decision to refuse (2004101004132)

Date of requesting trial against decision to refuse (20040914)

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl.  
G11C 11/22(11) 공개번호 특2003-0040912  
(43) 공개일자 2003년 05월 23일

(21) 출원번호	10-2001-0071572
(22) 출원일자	2001년 11월 17일
(71) 출원인	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	강희복
(74) 대리인	대전광역시 서구 도마2동 경남아파트 109-203 강용복, 김용민

설사참고 : 있음

## (54) 불휘발성 강유전체 메모리 장치 및 그의 구동방법

## 요약

비트라인의 커플링 노이즈에 의한 문제를 해결하여 센싱마진을 향상시키기에 알맞은 불휘발성 강유전체 메모리 장치 및 그의 구동방법을 제공하기 위한 것으로, 이와 같은 목적을 달성하기 위한 불휘발성 강유전체 메모리 장치는 센스앰프를 기준으로 상부와 하부에 복수개의 단위 셀들을 포함하여 구비된 탑 및 바텀 셀 어레이부와, 상기 탑 및 바텀 셀 어레이부에 한 개이상 대응되어 배치된 레퍼런스 어레이부와, 상기 탑 또는 바텀 셀 어레이부의 단위셀과 접속된 메인 비트라인과, 상기 센스앰프를 기준으로 상기 탑 또는 바텀 셀 어레이부의 상기 메인 비트라인에 대응되는 상기 바텀 또는 탑 셀 어레이부의 레퍼런스 비트라인을 포함하여 구성됨을 특징으로 한다.

## 도표도

## 도 1a

## 도 1b

## 도 2a

풀디드 비트라인, 하이브리드 비트라인, 레퍼런스

## 도 2b

## 도면의 간단한 설명

- 도 1은 일반적인 강유전체의 히스테리시스 루프 특성도
- 도 2는 일반적인 강유전체 메모리의 단위 셀 구성도
- 도 3a는 강유전체 메모리의 쓰기 모드의 동작 타이밍도
- 도 3b는 강유전체 메모리의 읽기 모드의 동작 타이밍도
- 도 4는 종래의 풀디드 비트라인 구조를 갖는 셀 어레이부의 개략적 구성도
- 도 5는 종래의 풀디드 비트라인 구조를 갖는 불휘발성 강유전체 메모리 장치의 구성도
- 도 6은 도 4와 도 5의 센스앰프부의 회로도
- 도 7은 본 발명의 제1실시예에 따른 불휘발성 강유전체 메모리 장치의 개략적 구성도
- 도 8은 도 7의 중간 레퍼런스 어레이부의 회로도
- 도 9는 도 8의 동작 타이밍도
- 도 10은 도 7의 에지 레퍼런스 어레이부의 회로도
- 도 11a와 도 11b는 본 발명의 제2실시예에 따른 불휘발성 강유전체 메모리 장치의 개략적 구성도
- 도 12는 도 11a와 도 11b에 나타낸 하이브리드 비트라인(Hybrid Bit Line)을 정의한 구성도
- 도 13은 도 11a와 도 11b의 센스앰프의 상세 회로도
- 도 14는 도 11a와 도 11b의 제1방법에 따른 셀 어레이의 회로도
- 도 15는 도 11a와 도 11b의 제2방법에 따른 셀 어레이의 회로도
- 도 16은 도 11a와 도 11b의 레퍼런스 어레이부의 회로도

## 도 17은 도 16의 동작 타이밍도

도 18a는 제1방법에 따른 레퍼런스 어레이부를 제어하는 레퍼런스 발생부가 구비된 불휘발성 강유전체 메모리 장치의 개략적 구성도

도 18b와 도 18c는 제2, 제3방법에 따른 불휘발성 강유전체 메모리 장치의 개략적 구성도

## 도 19는 도 18a의 레퍼런스 어레이부의 회로도

도 20은 도 18a과 도 19의 레퍼런스 어레이부의 동작 타이밍도

도 21은 레퍼런스 발생부의 제1방법에 의한 구성 예

도 22는 제1방법에 의한 레퍼런스 발생부의 구동예(퍼즈 컷팅예)를 나타낸 회로도

도 23은 레퍼런스 발생부의 제2방법에 의한 구성 예

도 24는 제2방법에 의한 레퍼런스 발생부의 구동예를 나타낸 회로도

도 25는 본 발명에 따른 레퍼런스 발생부의 동작 타이밍도

도 26a는 제1방법에 따른 도 23의 레퍼런스 컨트롤부의 회로도

도 26b는 제2방법에 따른 도 23의 레퍼런스 컨트롤부의 회로도

도 27은 레퍼런스 발생부의 레퍼런스 프로그램 동작여부를 결정하는 상태 다이어그램

도 28은 레퍼런스 발생부의 명령어 처리를 위한 파워-업 모드시의 동작 타이밍도

도 29는 레퍼런스 발생부의 명령어 처리를 위한 상태 이동 모드시의 클럭 발생 타이밍도

도 30은 레퍼런스 컨트롤부의 셋/리셋 모드시의 동작 타이밍도

\* 도면의 주요 부분에 대한 부호의 설명 \*

100 : 더미 로드영역 181, 182 : 레퍼런스 발생부

230\_0 ~ 230\_n : 레퍼런스 컨트롤부 126 : 제1래치

127 : 제2래치

## 본명의 삼성화 설명

## 본명의 특적

## 본명이 속하는 기술분야 및 그 분야의 주제기술

본 발명은 반도체 메모리에 대한 것으로, 특히 불휘발성 강유전체 메모리 장치 및 그의 구동방법에 관한 것이다.

일반적으로 불휘발성 강유전체 메모리 장치 즉, FRAM(Ferroelectric Random Access Memory)은 디램(DRAM)정도의 데이터 처리속도를 갖고, 전원의 오프(off)시에도 데이터가 보존되는 특성때문에 차세대 기억소자로 주목받고 있다.

FRAM은 DRAM과 거의 유사한 구조를 갖는 기억소자로써 커패시터의 재료로 강유전체를 사용하여 강유전체의 특성인 높은 잔류분극을 이용한 것이다.

이와 같은 잔류분극 특성으로 인하여 전계를 제거하더라도 데이터가 지워지지 않는다.

도 1은 일반적인 강유전체의 특성인 하스테리시스 루프 특성도이다.

도 1에서와 같이, 전계에 의해 유기된 분극이 전계를 제거하더라도 잔류분극(또는 자발분극)의 존재로 인하여 소멸되지 않고 일정량(d.a상태)을 유지하고 있는 것을 볼 수 있다.

불휘발성 강유전체 메모리 셀은 상기 d.a상태를 각각 1,0으로 대응시켜 기억소자로 응용한 것이다.

이하, 일부 도면을 참조하여 종래 불휘발성 강유전체 메모리에 대하여 설명하면 다음과 같다.

도 2는 일반적인 강유전체 메모리의 단위 셀 구성도이다.

도 2에서와 같이, 일봉형으로 비트라인(B/L)이 형성되고, 상기 비트라인과 교차하는 방향으로 워드라인(W/L)이 형성되고, 상기 워드라인에 일정한 간격을 두고 워드라인과 동일한 방향으로 플레이트 라인(P/L)이 형성되고, 게이트가 워드라인에 연결되고 소오스는 비트라인에 연결되도록 트랜지스터(T1)가 형성되고, 두 단자중 제 1 단자가 트랜지스터(T1)의 드레인에 연결되고 제 2 단자는 플레이트 라인(P/L)에 연결되도록 강유전체 커패시터(FC1)가 형성된다.

이와 같은 불휘발성 강유전체 메모리 소자의 데이터 입/출력 동작은 다음과 같다.

도 3a는 강유전체 메모리의 쓰기 모드의 동작 타이밍도이고, 도 3b는 강유전체 메모리의 읽기 모드의 동작 타이밍도이다.

먼저, 쓰기 모드의 경우, 외부에서 인가되는 침 인에이블 신호(CSRead)가 하이(high)에서 로우(low)로 활성화되고, 동시에 쓰기 인에이블 신호(WEBpad)를 하이(high)에서 로우(low)로 인가하면 쓰기 모드가 시작

된다.

이어, 쓰기 모드에서 어드레스 디코딩이 시작되면 해당 워드라인에 인가되는 필스가 로우에서 하이로 천이되어 셀이 선택된다.

이와 같이 워드라인이 하이 상태를 유지하고 있는 구간에서 해당 플레이트 라인에는 차례로 일정 구간의 하이 신호와 일정 구간의 로우 신호가 인가된다. 그리고 선택된 셀에 로직값 '1' 또는 '0'을 쓰기 위해서 해당 비트라인에 쓰기 인에이블 신호(WEpad)에 동기되는 '하이' 또는 '로우' 신호를 인가한다.

즉, 비트라인에 하이 신호를 인가하고 워드라인에 인가되는 신호가 하이 상태인 구간에서 플레이트 라인에 인가되는 신호가 로우이면 강유전체 커패시터에서는 로직값 '1'이 기록된다. 그리고 비트라인에 로우 신호를 인가하고 플레이트 라인에 인가되는 신호가 하이 신호이면 강유전체 커패시터에는 로직값 '0'이 기록된다.

이어, 셀에 저장된 데이터를 읽어내기 위한 동작은 다음과 같다.

외부에서 침 인에이블 신호(CSBpad)를 하이에서 로우로 활성화시키면 해당 워드라인이 선택되기 이전에 모든 비트라인은 이퀄라이즈(equalize) 신호에 의해 로우 전압으로 등전된다.

그리고 각 비트라인을 비활성화시킨 다음, 어드레스를 디코딩하고, 디코딩된 어드레스에 의해 해당 워드라인에는 로우 신호가 하이 신호로 천이되어 해당 셀을 선택한다. 선택된 셀의 플레이트 라인에 하이 신호를 인가하여 강유전체 메모리에 저장된 로직값 '1'에 상응하는 데이터(Qs)를 파괴시킨다.

만약, 강유전체 메모리에 로직값 '0'이 저장되어 있다면 그에 상응하는 데이터(Qs)는 파괴되지 않는다. 이와 같이 파괴된 데이터와 파괴되지 않은 데이터는 전술한 히스테리시스 루프의 원리에 의해 서로 다른 값을 출력하게 되어 센스앰프는 로직값 '1' 또는 '0'을 센싱하게 된다.

즉, 데이터가 파괴된 경우는 도 1의 히스테리시스 루프에서처럼 4에서 1로 변경되는 경우이고, 데이터가 파괴되지 않는 경우는 4에서 1로 변경되는 경우이다. 따라서, 일정 시간이 경과한 후에 센스앰프가 인에이블되면, 데이터가 파괴된 경우는 종족되어 로직값 '1'을 출력하고, 데이터가 파괴되지 않은 경우는 종족되어 로직값 '0'을 출력한다.

이와 같이, 센스앰프에서 데이터를 종족한 후에는 원래의 데이터로 복원하여야 하므로 해당 워드라인에 하이 신호를 인가한 상태에서 플레이트 라인을 '하이'에서 '로우'로 비활성화시킨다.

다음에 증래 불휘발성 강유전체 메모리 장치의 개략적 디아그램은 도 4에 도시한 바와 같이 콜디드 비트라인 구조를 갖는 셀 어레이부가 있고, 셀 어레이부내에 두개의 메인 비트라인당 한 개의 센스앰프가 공유되어 있으며, 도면에는 나타나 있지 않지만 셀어레이부의 사이에 중간 레퍼런스 어레이부가 구비되어 있다.

상기의 구성을 갖는 불휘발성 강유전체 메모리 장치의 개략적 디아그램은 도 5에 도시한 바와 같이 센스앰프를 기준으로 상부에 제1, 제2탑 셀 어레이부와 하부에 제3, 제4바텀 셀 어레이부가 구성되어 있고, 제1, 제2탑 셀 어레이부 사이에 레퍼런스 어레이부가 있고, 제3, 제4바텀 셀 어레이부의 사이에도 레퍼런스 어레이부가 구비되어 있다.

그리고 이때 각 셀 어레이부는 콜디드 비트라인 구조를 갖고 있으며, 탑부분의 두 개의 비트라인이 제1제어신호(A)에 의해 센스앰프를 공유하고, 바텀부분의 두 개의 비트라인이 제2제어신호(B)에 의해 센스앰프를 공유하여 사용한다.

즉, 탑부분의 첫 번째 비트라인이 메인 비트라인으로 사용되면 그에 이웃하는 탑부분의 두 번째 비트라인은 레퍼런스 비트라인으로 사용된다.

또한 바텀부분의 첫 번째 비트라인이 메인 비트라인으로 사용되면 그에 이웃하는 탑부분의 두 번째 비트라인은 레퍼런스 비트라인으로 사용된다.

비트라인과 센스앰프의 사이에 상기 제1제어신호와 제2제어신호에 따라 연결이 제어되도록 각각 스위칭 트랜지스터가 구성되어 있다.

상기에서 센스앰프의 구성을 도 6에 도시한 바와 같이 비트라인(BL)과 비트라인바(/BL)의 신호가 양 출력 노드에 접속되어 있는 래치형을 이루고 있다.

#### 발명의 이루고자 하는 기술적 효과

상기와 같은 증래 불휘발성 강유전체 메모리 장치는 다음과 같은 문제가 있다.

콜디드 비트라인 구조를 갖는 셀 어레이에서 서로 이웃하는 비트라인이 메인 비트라인 또는 레퍼런스 비트라인으로 사용되는데, 이때 레퍼런스 데이터가 메인 데이터의 커플링 커패시터 노이즈 성분에 의해 레퍼런스 데이터가 많은 분포를 갖게되어 메인 데이터 상호간의 커플링 노이즈에 의해 센싱 마진이 떨어지는 문제가 있다.

본 발명은 상기와 같은 문제를 해결하기 위하여 만출한 것으로 특히, 비트라인의 커플링 노이즈에 의한 문제를 해결하여 센싱마진을 향상시키기에 알맞은 불휘발성 강유전체 메모리 장치 및 그의 구동방법을 제공하는데 그 목적이 있다.

#### 발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명 불휘발성 강유전체 메모리 장치는 센스앰프를 기준으로 상부와 하부에 복수개의 단위 셀들을 포함하여 구비된 탑 및 바텀 셀 어레이부와, 상기 탑 및 바텀 셀 어레이부에 한 개이상 대응되어 배치된 레퍼런스 어레이부와, 상기 탑 또는 바텀 셀 어레이부의 단위셀과 접속

된 메인 비트라인과, 상기 센스앰프를 기준으로 상기 탑 또는 바텀 셀 어레이부의 상기 메인 비트라인에 대응되는 상기 바텀 또는 탑 셀 어레이부의 레퍼런스 비트라인을 포함하여 구성됨을 특징으로 한다.

또한 다른 방법에 따른 본 발명 불휘발성 강유전체 메모리 장치는 센스앰프를 기준으로 상부와 하부에 복수개의 단위 셀들을 포함하여 구비된 탑 및 바텀 셀 어레이부와, 상기 탑 및 바텀 셀 어레이부의 중간영역에 형성된 중간 레퍼런스 어레이부와, 상기 탑 및 바텀 셀 어레이부의 에지 부분에 각각 형성된 에지 레퍼런스 어레이부와, 상기 탑과 바텀 셀 어레이부의 사이와, 상기 탑 및 바텀 셀 어레이부와 각 에지 레퍼런스 어레이부의 사이에 교번으로 배치된 센스앰프부와, 상기 탑과 바텀 셀 어레이부 사이에 구성된 상기 센스앰프를 기준으로 상부의 비트라인이 메인 비트라인/레퍼런스 비트라인일 때는 이에 대응되는 하부의 비트라인은 레퍼런스 비트라인/메인 비트라인이고, 상기 탑 및 바텀 셀 어레이부와 각 에지 레퍼런스 비트라인은 메인 비트라인/메인 비트라인일 때는 하부의 비트라인은 메인 비트라인/레퍼런스 비트라인인 것을 특징으로 한다.

또한 또 다른 방법에 따른 본 발명 불휘발성 강유전체 메모리 장치는 센스앰프를 기준으로 상부와 하부에 복수개의 단위 셀들을 포함하여 구비된 탑 및 바텀 셀 어레이부와, 상기 센스앰프와 대응되는 상기 탑 및 바텀 셀 어레이부의 에지부분에 각각 배치된 레퍼런스 어레이부와, 상기 탑 셀 어레이부의 두 개의 비트라인과 이에 대응되는 상기 바텀 셀 어레이부의 두 개의 비트라인이 하나의 센스앰프를 공유하며, 상기 센스앰프를 기준으로 상부의 비트라인이 메인 비트라인으로 사용되면 그에 대응되는 하부의 비트라인은 레퍼런스 비트라인으로 사용되고, 상기 메인 비트라인과 상기 레퍼런스 비트라인에 이웃하는 상, 하부 두 개의 비트라인은 더미 레퍼런스 비트라인으로 사용되도록 구성된 복수개의 비트라인들, 제1, 제2제어신호를 보아 상기 센스앰프와 복수개의 비트라인들의 연결이 제어되며, 상기 센스앰프를 기준으로 대응되는 상, 하부 비트라인은 같은 제어신호에 의해 제어되도록 구성된 복수개의 스위칭 소자들을 포함함을 특징으로 한다.

상기와 같은 구성을 갖는 본 발명 불휘발성 강유전체 메모리 장치의 구동방법은 센스앰프를 기준으로 상부와 하부에 복수개의 단위 셀들을 포함하여 구비된 탑 및 바텀 셀 어레이부와, 상기 탑 및 바텀 셀 어레이부에 한 개이상 대응되어 배치된 레퍼런스 어레이부와, 상기 센스앰프를 공유하며 상기 센스앰프의 상부와 하부에 각각 배열된 비트라인들을 포함하여 구성됨을 특징으로 하는 불휘발성 강유전체 메모리 장치에 있어서, 상기 센스앰프 상부에 배열된 비트라인인 메인 비트라인으로 동작할 때, 상기 센스앰프 하부에 배열된 비트라인으로는 상기 레퍼런스 어레이부에서 레퍼런스 전압이 발생하여 레퍼런스 비트라인으로 동작하는 것을 특징으로 한다.

상기의 특징을 갖는 본 발명은 오픈(Open) 비트라인과 폴디드(Folded) 비트라인 구조를 갖는 셀 어레이에서 센스앰프와 레퍼런스 어레이의 상호 연결관계에 대한 것이다.

상기에서 오픈 비트라인 셀 어레이는 셀 어레이를 비트 라인을 중심으로 접었을 때 비트라인과 웨드라인에 접속된 셀들이 서로 겹치도록 배열된 것이다.

그리고 폴디드(Folded) 비트 라인 셀 어레이는 셀 어레이를 비트 라인을 중심으로 접었을 때 비트라인과 웨드라인에 접속된 셀들이 서로 겹치지 않도록 엇갈려서 배열된 것이다.

즉, 폴디드 비트라인 셀 어레이에서 각 로우(Row)의 셀들은 두 개의 칼럼(Column)마다 각각 배치되어 있고, 각 칼럼(Column)의 셀들도 두 개의 로우(Row)마다 각각 배치되어 있다.

이하, 첨부 도면을 참조하여 본 발명 불휘발성 강유전체 메모리 장치 및 그의 구동방법에 대하여 설명하면 다음과 같다.

먼저 오픈 비트라인 셀 어레이는 도 7에 도시한 바와 같이 각 셀 어레이부 중간부분에 중간 레퍼런스 어레이부가 각각 존재하고, 가장자리 쪽에는 별도의 에지 레퍼런스 어레이부가 존재한다.

그리고 각각의 비트라인(BL)은 센스앰프(S/A)를 기준으로 탑/바텀영역으로 나누어 배열되고, 탑영역의 비트라인인 메인 비트라인으로 사용되면 그에 대응되는 바텀영역의 비트라인이 레퍼런스 비트라인으로 사용된다.

그리고 센스앰프는 중간 레퍼런스 어레이부가 구비된 셀 어레이부를 기본 셀 어레이부로 정의할 때 기본 셀 어레이부의 사이와, 기본 셀 어레이부와 에지 레퍼런스 어레이부 사이에 교번으로 위치한다.

다시말해서 기본 셀 어레이부 사이의 센스앰프와 연결된 비트라인 중 상부의 비트라인은 메인 비트라인으로 사용되고, 하부에 연결된 비트라인은 레퍼런스 비트라인으로 사용된다.

그리고 기본 셀 어레이부와 에지 레퍼런스 어레이부 사이의 센스앰프 중 상부 비트라인은 레퍼런스 비트라인으로 사용되고, 하부 비트라인은 메인 비트라인으로 사용된다.

다음에 상기 도 7의 중간 레퍼런스 어레이부와 에지 레퍼런스 어레이부의 구성에 대하여 설명한다.

먼저, 중간 레퍼런스 어레이부의 구성은 도 8에 도시한 바와 같이 단위 셀 블록내에 일방향으로 구성되는 복수개의 비트 라인(BL1, BL2, BL3, BL4, ..., BLn)들과, 상기 비트 라인들에 수직한 방향으로 구성되는 하나의 레퍼런스 웨드 라인(REF\_W/L)과, 상기 레퍼런스 웨드 라인(REF\_W/L)과 동일한 방향으로 구성되는 레퍼런스 플레이트 라인(REF\_P/L)과, 제 1 전극이 상기 레퍼런스 플레이트 라인(REF\_P/L)에 연결되고, 제 2 전극이 레퍼런스 셀의 스토리지 노드(SN)에 연결되어 서로 병렬적으로 구성되는 복수개의 레퍼런스 커패시터들(F8-1, F8-2, F8-3, F8-4, ..., F8-n)과, 게이트에 레퍼런스 셀 미ホール라인 컨트롤 신호(REF\_E0)가 인가되고 한쪽 전극은 접지 단자(GND)에 다른쪽 전극은 스토리지 노드(SN)인 레퍼런스 라인에 연결되는 NMOS 트랜지스터로 구성되는 레벨 초기화부와, 각각의 비트라인들에 대응하여 한쪽 전극이 연결되고 다른쪽 전극은 레퍼런스 커패시터의 스토리지 노드(SN)에 연결되고 게이트가 레퍼런스 웨드라인(REF\_W/L)에 공통으로 연결되는 복수개의 NMOS 트랜지스터들(T8-1, T8-2, T8-3, T8-4, ..., T8-n)로 구성된 스위칭 블록을 포함하여 구성된다.

상기에서 커패시터의 스토리지 노드(SN)인 레퍼런스라인은 레벨 초기화부의 앤모스 트랜지스터를 통해서

외부에서 제어된다.

다음에 예지 레퍼런스 어레이부는 도 10에 도시한 바와 같이 중간 레퍼런스 어레이부의 구성에다가 더미 로드영역(100)을 더 구비한 것으로, 각 비트라인들이 복수개의 레퍼런스 비트라인들(RBL1~RBLn)로 대체된다.

이때 각 레퍼런스 비트라인들의 사이에 레퍼런스 비트라인을 소오스/드레인으로 하여 게이트가 접지되어 있는 앤모스 트랜지스터(앤모스 커패시터)들이 하나씩 연결되어 있고, RBL1에 연결된 최외각 앤모스 트랜지스터(앤모스 커패시터)는 소오스단자가 접지되어 있다.

상기의 구성을 갖는 레퍼런스 어레이부의 동작은 도 9에서와 같이 레퍼런스 플레이트 라인(REF\_PL)이 액티브 구간의 시작인 t1구간에만 '로우'레벨을 나타내고, 레퍼런스 워드라인(REF\_WL)은 t2구간에만 '하이'레벨을 나타낸다.

그 외에 칠인에이를 신호(CSBpad)는 액티브 구간에는 '로우'레벨을 나타내고, 프리차아지 구간에는 '하이'레벨을 나타내고, 레퍼런스 셀 아날리마즈 컨트롤 신호(REF\_EQ)는 액티브 구간인 t2~t5구간에만 '로우'레벨을 나타내고, 센스앰프 인에이를 신호는 t3~t6구간에 '하이'레벨로 인에이를 된다.

다음에 풀디드 비트라인 셀 어레이를 갖는 본 발명의 제2실시예에 따른 불휘발성 강유전체 메모리 장치에 대하여 설명한다.

도 11a와 도 11b에 도시한 바와 같이 셀 어레이부는 풀디드 비트라인 구조를 갖으며, 센스앰프(S/A)를 사이에 두고 탑부분에 제1, 제2셀 어레이부(I, II)가 있고, 바텀부분에 제3, 제4셀 어레이부(III, IV)가 있으며, 각 제1셀 어레이부와 제2셀 어레이부의 사이 및 제3셀 어레이부와 제4셀 어레이부의 사이에 레퍼런스 어레이부가 있다.

그리고 각 셀어레이부의 두 개의 비트라인이 한 개의 센스앰프(S/A)를 공유하며, 이웃하는 셀 어레이부의 두 개의 비트라인도 같은 센스앰프(S/A)를 공유한다.

즉, 제1셀 어레이부의 두 개의 비트라인(BL1, BL2)도 한 개의 센스앰프를 공유하고 제3셀 어레이부의 두 개의 비트라인(/BL1, BL2)도 제1셀 어레이부와 동일한 한 개의 센스앰프를 공유하며, 제1셀 어레이부의 비트라인에 대응되는 제2셀 어레이부의 비트라인도 하나의 센스앰프를 공통으로 사용한다.

이때 탑부분인 제1셀 어레이부의 비트라인이 메인 비트라인으로 사용되면 바텀 부분인 제3셀 어레이부의 비트라인은 레퍼런스 비트라인으로 사용된다.

그리고 각 비트라인과 센스앰프와의 연결은 앤모스로 구성된 스위칭 트랜지스터를 통해 제어되며, 대응되는 탑과 바텀부분의 비트라인은 'A'선택신호 또는 'B'선택신호에 의해 한 개씩 선택된다.

상기와 같은 셀 어레이 구조와 센싱방식을 갖는 것을 하이브리드(Hybrid) 비트라인 구조(도 12참조)라고 정의한다.

즉, 셀 어레이는 풀디드(Folded) 비트라인 구조를 갖고, 데미터의 센싱은 오픈(Open) 비트라인 구조로 진행되는 것을 하이브리드 비트라인 구조라고 한다.

상기와 같이 하이브리드 비트라인 구조는 풀디드 비트라인과 오픈 비트라인의 문제점을 모두 해소하여 사용하기 위한 것이다.

즉, 풀디드 비트라인은 비트라인 하나 건너서 메인 데미터와 레퍼런스 데미터가 교대로 존재하게 되는 구조이고, 오픈 비트라인은 한 블록의 비트라인 모두가 메인 비트라인으로 되고, 안정한 블록의 비트라인은 레퍼런스 비트라인으로 되는 구조이다.

상기 풀디드 비트라인은 레퍼런스 데미터가 메인 데미터의 커플링 캡 노이즈(Coupling Cap Noise)성분에 의해 레퍼런스 데미터가 많은 분포를 갖는 단점이 있고, 오픈 비트라인은 레퍼런스 데미터가 메인 데미터의 커플링 노이즈를 피할 수 있으나 메인 데미터 상호간의 커플링 노이즈는 더욱 심하게 되는 문제가 있다.

상기의 문제를 해결하기 위해서 셀 어레이는 풀디드 비트라인 구조로 사용하면서, 비트라인은 오프 비트라인으로 사용한 것이다.

즉, 종래의 메인 비트라인과 이웃하는 레퍼런스 비트라인을 레퍼런스 비트라인으로 사용하지 않고, 센스앰프를 기준으로 메인 비트라인과 대응되는 반대편 셀어레이부의 비트라인을 레퍼런스 비트라인으로 사용함으로써 레퍼런스 데미터 및 메인 데미터의 커플링 노이즈를 줄여 센싱마진을 향상시켰다.

다음에 도 12의 구성을 좀더 자세하게 나타낸 회로도는 도 13에 도시한 바와 같이 탑과 바텀 셀 어레이부의 두 개의 비트라인들은 앤모스로 구성된 스위칭 트랜지스터를 통해 같은 센스앰프의 출력 노드를 공유한다.

즉, BL1\_T과 BL2\_T가 센스앰프의 출력노드를 공유하여 사용하고, BL1\_B와 BL2\_B가 센스앰프의 출력노드를 공유하여 사용한다.

또한 이웃하는 셀 어레이부도 같은 형태로 구성된다.

따라서 'A'신호에 의해 BL1\_T가 S/A의 한쪽 노드에 연결되면 BL1\_B은 레퍼런스 비트라인으로써 S/A의 반대편 노드에 연결된다.

또한 'B'신호에 의해 BL2\_T가 S/A의 한쪽 노드에 연결되면 BL2\_B은 레퍼런스 비트라인으로써 S/A의 반대편 노드에 연결된다.

이때 센스앰프는 래지형을 이루며, 각 출력노드 사이에는 이컬라마즈 신호를 받는 앤모스 트랜지스터가 있고, 각 출력노드와 데미터 버스(DB, /DB)는 헐럼 셀렉터 신호(Y1)의 제어를 받고, 각 출력노드와 접지전

압단의 사이에 미村落이즈 신호에 의해 제어를 받는 앤모스 트랜지스터가 구성되어 있다.

상기와 같은 구조를 갖는 센스앰프는 풀디드 비트라인 구조의 셀 어레이를 갖는 불휘발성 강유전체 메모리 장치에 적용된다.

다음에 도 11a와 도 11b에서 풀디드 비트라인 구조를 갖는 셀 어레이부의 회로적 구성에 대하여 설명한다.

먼저 제1예에 의한 셀 어레이 구조는 도 14에 도시한 바와 같이 복수개의 워드라인과 플레이트 라인 쌍이 평행하게 배열되어 있고, 이에 수직한 방향으로 복수개의 비트라인들이 배열되어 있으며, 셀 어레이를 비트라인을 기준으로 접었을 때 비트 라인과 워드라인에 접속된 셀들이 서로 겹치지 않도록 엇갈려서 배열되었다.

이때 도 14는 64개의 로우(Row)를 배치한 구조를 예를 들어 나타낸 것이다.

다음에 제2예에 의한 셀 어레이 구조는 도 15에 도시한 바와 같이 계층적(Hierarchy) 셀 어레이 구조를 갖는 것으로 일방향으로 배열된 복수개의 메인 비트 라인(MBL<0>, MBL<1>, ..., MBL<n>)들이 있고, 각 셀 어레이내의 단위 셀들과 연결되며 메인 비트 라인(MBL<0>, ..., MBL<n>)들과 동일 방향으로 배열된 서브 비트 라인(SBL<0>, SBL<1>, ..., SBL<n>)들이 있다.

그리고 상기 메인 비트 라인(MBL<0>, ..., MBL<n>)들과 직교하는 방향으로 배열된 워드 라인/플레이트 라인 쌍들((W/L<0>, P/L<0>), ..., (W/L<n>, P/L<n>))이 있다.

이때 각 셀 어레이를 64로우(Row)와 64칼럼(Column)으로 구성하였을 경우를 예를 들어 나타낸 것으로, 각 서브 셀 어레이 블록은 복수개의 로우(Row)와 복수개의 칼럼(Column) 방향으로 복수개의 셀들이 구성되어 있다.

상기에서 각 로우(Row) 방향의 셀들은 두 개의 칼럼(Column)당 한개씩 배치되어 있고, 각 칼럼 방향의 셀들도 두 개의 로우(Row)당 한 개씩 배치되어 있다.

그리고 워드 라인/플레이트 라인 쌍들((W/L<0>, P/L<0>), ..., (W/L<n>, P/L<n>))과 동일한 방향으로 구성되는 서브 비트라인 풀다운 신호(Sub Bit Line Pull Down:SBPD) 인가라인과 제1서브 비트라인 스위치 신호(Sub Bit Line Switch:SBSW1) 인가라인과 좌/우 제2서브 비트라인 스위치 신호(Sub Bit Line Switch:SBSW2\_L, SBSW2\_R)과, 서브 비트라인 풀업 신호(Sub Bit Line Pull Up:SBPU) 인가라인이 있다.

그리고 상기 SBPD, SBSW1, SBSW2\_L, SBSW2\_R과 SBPU 인가라인의 제어를 받고, 하나의 메인 비트라인과 하나의 서브 비트라인에 대응하여 구성되며, 선택된 셀이 메인 비트라인과 연결될지 아니면 서브 비트라인에 연결될지의 여부를 제어하고, 선택된 셀의 강유전체 커파시터에 전달되는 전압을 제어하는 스위칭 제어 블록들을 포함하여 구성된다.

여기서, 단위 스위칭 제어 블록은 각각 제 1,2,3 스위칭 트랜지스터(ST1,ST2,ST3)로 구성된다.

이때 제 1 스위칭 트랜지스터(ST1)는 게이트가 SBSW1 인가라인에 연결되고 한쪽 전극과 다른쪽 전극이 각각 메인 비트라인과 서브 비트라인에 연결된다.

그리고 메인 비트라인 좌측의 제2스위칭 트랜지스터(ST2)는 게이트가 SBSW2\_L 인가라인에 연결되고 한쪽 전극은 서브 비트라인에 연결되고 다른쪽 전극은 SBPU 인가라인에 연결된다.

그리고 메인 비트라인 우측의 제2스위칭 트랜지스터(ST2)는 게이트가 SBSW2\_R 인가라인에 연결되고 한쪽 전극은 서브 비트라인에 연결되고 다른쪽 전극은 SBPU 인가라인에 연결된다.

그리고 제3스위칭 트랜지스터(ST3)는 게이트가 SBPD 인가라인에 연결되고 한쪽 전극은 서브 비트라인에 연결되고 다른쪽 전극은 접지전압(VSS)에 연결된다.

그리고 이웃하는 서브 비트 라인(SBL) 중에 하나가 데이터 라인으로 사용되면 이웃하는 서브 비트 라인은 더미 레퍼런스 라인으로 사용된다.

이에 의해서 비트 라인에 걸리는 로드(load)를 한 개의 서브 비트 라인 로드 수준으로 줄일 수 있게 한다.

또한 상기 SBL은 SBPD 인가라인의 신호에 의해 SBPD 신호가 활성화되면 SBL 신호를 접지전압 레벨이 되도록 조정한다.

상기 SBPU와 SBSW2\_L과 SBSW2\_R 신호는 SBL에 공급할 전원을 조정하는 신호이다.

그리고 저전압에서는 '하이(High)' 전압 발생시 VCC 전압보다 높은 전압을 생성하여 공급한다.

다음에 도 11b의 셀 어레이부에서 레퍼런스 어레이부의 회로 구성에 대하여 설명한다.

이때 레퍼런스 어레이부는 탑부분의 제1셀 어레이부(I)와 제2셀 어레이부(II) 사이의 레퍼런스 어레이부를 예로 설명한다.

도 16에 도시한 바와 같이 복수개의 레퍼런스 커파시터들(F16-1, F16-2, F16-3, F16-4, ..., F16-n)과, 제1셀 어레이부(I)에 연결된 복수개의 앤모스 스위칭 트랜지스터들(NI-1, NI-2, NI-3, NI-4, ...)과, 제2셀 어레이부(II)에 연결된 복수개의 앤모스 스위칭 트랜지스터들(NII-1, NII-2, NII-3, NII-4, ...)과, 레퍼런스 미村落이즈 신호를 받아 동작하는 레벨 초기화부로 구성되었다.

상기에서 복수개의 레퍼런스 커파시터들(F16-1, F16-2, F16-3, F16-4, ..., F16-n)은 제1전극이 레퍼런스 플레이트 라인(REF\_P/L)에 공통 접속되고 제2전극이 스트리지 노드인 레퍼런스 라인에 공통 접속되어 서로 병렬적으로 구성되었다.

그리고 제1셀 어레이부(I)와 연결된 복수개의 앤모스 트랜지스터들(NI-1, NI-2, NI-3, NI-4, ...)은 복

수개의 강유전체 커패시터에 일대일 대응하여 구성되며 제1셀 어레이부(I)의 각 비트라인 사이에 구성되었고, 홀수번째 앤모스 트랜지스터들(N1-1, N1-3, N1-5, ...)은 제1바텀 레퍼런스 워드라인(REF\_WL1B)의 제어를 받고, 짝수번째 앤모스 트랜지스터들(N1-2, N1-4, N1-6, ...)은 제2바텀 레퍼런스 워드라인(REF\_WL2B)의 제어를 받는다.

그리고 제2셀 어레이부(II)와 연결된 복수개의 앤모스 트랜지스터들(NII-1, NII-2, NII-3, NII-4, ...)은 복수개의 강유전체 커패시터에 일대일 대응하여 구성되며 제2셀 어레이부(II)의 각 비트라인 사이에 구성되었고, 홀수번째 앤모스 트랜지스터들(NII-1, NII-3, NII-5, ...)은 제1탑 레퍼런스 워드라인(REF\_WL1T)의 제어를 받고, 짝수번째 앤모스 트랜지스터들(NII-2, NII-4, NII-6, ...)은 제2탑 레퍼런스 워드라인(REF\_WL2T)의 제어를 받는다.

상기와 같은 구성을 갖는 레퍼런스 어레이부의 동작은 도 17에 도시한 바와 같은데, 이때 제1탑, 제2탑 레퍼런스 워드라인(REF\_WL1T, REF\_WL2T)과 제1, 제2바텀 레퍼런스 워드라인(REF\_WL1B, REF\_WL2B) 중 하나를 활성화 시켰을 경우를 나타낸 것이다.

이와 같은 동작은 이미 설명한 도 9의 레퍼런스 어레이부의 동작과 동일하다.

상기에서와 같이 레퍼런스 어레이부는 레퍼런스 레벨을 내부에서 제어하도록 구성할 수도 있고 외부에서 레퍼런스 레벨을 제어할 수도 있는데, 이와 같은 동작을 하는 불휘발성 강유전체 메모리 장치에 대하여 설명한다.

도 18a에 도시한 바와 같이 두 개의 셀 어레이의 사이마다 센스앰프부(S/A)가 구성되어 있고, 센스앰프가 구성되지 않은 셀 어레이부 가장자리에는 레퍼런스 어레이부가 각각 구성되어 있다.

이때 셀 어레이는 하이브리드 비트라인(Hybrid B/L) 셀 어레이 구조를 갖거나 기타 다른 셀 어레이 구조(예: 오픈 비트라인 구조나 스플릿 워드라인 구조나 계층적 비트라인 구조 등 오픈 비트라인과 콜디드 비트라인 구조)로 구성할 수 있다.

그리고 각 레퍼런스 어레이부는 센스앰프를 기준으로 탑은 홀수와 바텀은 짝수의 순서로 나누어 각각 레퍼런스 선택신호(Reference Selection RS)에 의해서 선택적으로 레퍼런스 레벨을 공급하도록 구성되었다.

즉, 각 홀수번째 레퍼런스 어레이부는 각각 스위칭 트랜지스터와 풀다운 트랜지스터의 제어를 받아 홀수 번째 레퍼런스 발생부(REF\_GEN\_0)(181)를 통해 발생되는 레퍼런스 레벨을 공급받는다.

이때 홀수번째 레퍼런스 어레이에 연결된 각 스위칭 트랜지스터는 각각 제1, 제3레퍼런스 선택신호(RS\_1, RS\_3, ...)의 제어를 받아 동작하고, 풀다운 트랜지스터는 레퍼런스 이퀄라이즈 신호(REF\_EQ)의 제어를 받아 동작한다.

그리고 짝수번째 레퍼런스 어레이는 각각 스위칭 트랜지스터와 풀다운 트랜지스터의 제어를 받아 짝수번째 레퍼런스 발생부(REF\_GEN\_E)(182)를 통해 발생되는 레퍼런스 레벨을 공급받는다.

이때 짝수번째 레퍼런스 어레이에 연결된 각 스위칭 트랜지스터는 각각 제2, 제4레퍼런스 선택신호(RS\_2, RS\_4, ...)의 제어를 받아 동작하고, 풀다운 트랜지스터는 레퍼런스 이퀄라이즈 신호(REF\_EQ)의 제어를 받아 동작한다.

이때 RS\_1, RS\_2, ... 중 센스앰프부를 기준으로 탑/바텀 셀 어레이부에 레퍼런스가 동시에 공급될 수 있도록 한다.

또한 선택된 셀 어레이부로 들어가는 신호는 더미 레퍼런스 신호로 사용되고, S/A 반대편의 셀 어레이부로 들어가는 신호는 레퍼런스 신호로 사용되도록 한다.

상기와 같이 레퍼런스와 더미 레퍼런스 신호는 독립적인 레퍼런스 발생회로를 이용하여 두 개 사이에 생길 수 있는 간섭을 차단하도록 되어 있다.

또한 상기와 같이 외부에서 레퍼런스 레벨을 조정할 때 도 18b와 도 18c에서와 같이 홀수번째와 짝수번째 레퍼런스 어레이부의 좌/우측에 모두 스위칭 트랜지스터와 풀다운 트랜지스터와, 레퍼런스 발생부를 구비시킬 수 있다.

이에 의해서 레퍼런스 어레이부에 레퍼런스 레벨의 전달 속도를 단축시킬 수 있다.

상기 도 18a와 도 18b와 도 18c와 같이 구성된 불휘발성 강유전체 메모리 장치에서 레퍼런스 어레이부 내부의 회로는 도 19에 도시한 바와 같이 레퍼런스 레벨을 레퍼런스 노드(REF\_N1)에 출력하기 위해 '일방향'으로 배열된 레퍼런스 라인과, 레퍼런스 라인(REF\_N1)과 직교하는 방향으로 제1셀 어레이부(I)에 접속된 복수개의 비트라인들(BL1-BLn)과, 또한 레퍼런스 라인(REF\_N1)과 직교하는 방향으로 제2셀 어레이부(II)에 접속된 복수개의 비트라인들(BL1-BLn)과, 상부 및 하부의 복수개의 비트라인들과 선택적으로 접속되도록 제어하는 복수개의 스위칭 트랜지스터들과, 레퍼런스 라인(REF\_N1)과 평행한 방향으로 배치되어 복수개의 스위칭 트랜지스터를 선택적으로 '온/오프' 시키는 제1, 제2탑 레퍼런스 워드라인(REF\_WL1T, REF\_WL2T)과 제1, 제2바텀 레퍼런스 워드라인(REF\_WL1B, REF\_WL2B)로 구성되어 있다.

즉, 도 16에 나타낸 레퍼런스 어레이 내부의 회로 구성에서 복수개의 강유전체 커패시터들과 레벨 초기화부를 제외한 구성을 갖는다.

이와 같은 회로의 동작은 도 20에 도시한 바와 같이 레퍼런스 플레이트 라인(REF\_PL)이 액티브 구간이 시작되는 t1구간에만 '로우'레벨을 나타내고, 제1탑 레퍼런스 워드라인(REF\_WL1T)은 t2구간에만 '하이'레벨을 나타내고, 제1 홀수번째 레퍼런스 어레이부로 신호를 출력하기 위해서 스위칭 신호(RS\_1)를 t2구간에 '하이'레벨로 활성화된다.

그외에 칠인에이블 신호(CSBpad)는 액티브 구간에는 '로우'레벨을 나타내고, 프리차마지 구간에는 '하이'레벨을 나타내고, 레퍼런스 셀 이퀄라이즈 컨트롤 신호(REF\_EQ)는 액티브 구간인 t2-t5구간에만

로우 '레벨을 나타내고, 센스앰프 인에이를 신호는 t3-t6구간에 '하이' 레벨로 인에이를 된다.

도 19와 도 20은 도 18a에서 제1홀수번째 레퍼런스 어레이부로 레퍼런스 노드(REF\_N1)를 통해 레퍼런스 레벨이 출력될 때를 예로 나타낸 것이다.

다음에 도 18a, 도 18b와 도 18c에서 홀수번째 및 짝수번째 레퍼런스 발생부(REF\_GEN\_0, REF\_GEN\_E)의 제1방법에 따른 회로 구성은 도 21에 도시한 바와 같이 복수개의 강유전체 커패시터들과 복수개의 퓨즈들과 레벨초기화부로 구성되었다.

복수개의 강유전체 커패시터의 제1전극은 레퍼런스 플레이트 라인(REF\_PL)에 공통 접속되고 제2전극은 스토리지 노드인 레퍼런스 전압 발생 라인(REF\_G1)에 공통접속되어 있다.

그리고 복수개의 퓨즈는 최적의 강유전체 커패시터를 배치시킨 후에 공정 변화에 따른 레퍼런스 레벨의 변화를 조정하기 위해서 강유전체 커패시터의 제2전극과 레퍼런스 전압 발생 라인(REF\_G1) 사이에 하나씩 복수개 배치되어 있다.

도 21에서는 4개의 퓨즈를 배치시킨 경우를 예를 들어 나타내었다.

그리고 레벨 초기화부는 게이트에 레퍼런스 이벨라이즈 신호를 입력받고 드레인단과 소오스단은 각각 레퍼런스 전압 발생 라인(REF\_G1)과 접지전압단에 접속되어 있다.

도 22는 가장자리의 2개의 퓨즈를 컷팅하여 레퍼런스 레벨을 조정한 예를 나타낸 것으로, 이때 퓨즈는 레이저 컷팅한다.

다음에 도 18a, 도 18b와 도 18c에서 홀수번째 및 짝수번째 레퍼런스 발생부(REF\_GEN\_0, REF\_GEN\_E)의 제2방법에 따른 회로 구성에 대하여 설명한다.

제2방법에 따른 레퍼런스 발생부는 도 23에 도시한 바와 같이 제1방법에서 퓨즈 대신에 앤모스 트랜지스터와 피모스 트랜지스터로 구성된 트랜스퍼 게이트를 사용하고, 각 트랜스퍼 게이트를 컨트롤하기 위해 복수개의 레퍼런스 컨트롤부(230\_0 ~ 230\_n)를 더 구비한 것이다.

도 24는 가장자리의 2개의 트랜스 게이트가 턴오프되어 레퍼런스 레벨을 조정한 예를 나타낸 것이다.

상기에서 복수개의 레퍼런스 노드들(REF\_N1, REF\_N2, ...)과 레퍼런스 전압 발생 라인들(REF\_G1, REF\_G2, ...)의 레벨은 레퍼런스 이벨라이즈 신호(REF\_EQ)가 '하이' 레벨이 되면 접지 레벨로 조정된다.

그리고 상기에서 도 21과 도 22와 도 23과 같이 구성된 회로의 동작은 도 19의 동작을 나타낸 도 20과 동일하게 진행된다.

증례에는 공정이 진행된 후에는 레퍼런스 레벨의 조정이 불가능했다.

이러한 제약 때문에 레퍼런스 레벨이 맞지 않아 1T1C(1-Transistor 1- Capacitor) 타입의 에프램(FeRAM) 칩에 구현하는데 어려움이 있었다.

이후에는 레퍼런스 레벨의 조정을 할 수 있는 프로그램 가능한 레퍼런스(Programmable Reference) 조정방법에 대하여 설명한다.

즉, 프로그램 가능한 레퍼런스 레벨 조정방법에 의해 레퍼런스 레벨을 패키지(Package) 전후에 혹은 사용현장에서도 바꿀 수 있도록 하였다.

이와 같은 레퍼런스 레벨을 프로그램하기 위해서 비휘발성의 FeRAM 레지스터를 이용한다.

이와 같이 레퍼런스 레벨을 조정하기 위해서 상기 도 23에 설명한 바와 같이 트랜스퍼 게이트와 레퍼런스 컨트롤부(230\_0 ~ 230\_n)를 구성하였다.

n개의 레퍼런스 컨트롤부의 기억 상태 즉, 프로그램 상태에 의해 트랜스퍼 게이트의 턴온/턴오프가 결정된다.

이때 트랜스퍼 게이트가 셋(SET)으로 프로그램되면 트랜스퍼 게이트는 턴온되어 레퍼런스 강유전체 커패시터가 레퍼런스 전압 발생 라인(REF\_G1)에 연결되고, 리셋(RESET)으로 프로그램되면 트랜스퍼 게이트는 턴오프되어 레퍼런스 강유전체 커패시터는 레퍼런스 전압 발생 라인(REF\_G1)에 연결되지 않는다.

도 27은 레퍼런스 컨트롤부의 상태를 셋과 리셋으로 조정할 때의 명령어 처리 과정이다.

즉, 6가지의 상태인 ST0, ST1, ST2, ST3, ST4, ST5와 명령어 CM1, CM2, CM3, CM4, CM5의 조합에 의해 레퍼런스 프로그램(REF\_PGM)신호가 발생하면 레퍼런스 컨트롤부에 셋과 리셋의 상태를 입력할 수 있도록 한 것이다.

다시말해서 도 27의 상태 다이어그램은 레퍼런스 레벨을 프로그램해서 변화시킬 때 5가지 명령어를 순차적으로 정확히 입력시켰을 때만 레퍼런스 컨트롤부로 프로그램 가능한 '하이' 레벨의 신호가 출력되도록 한 것이다.

이때 명령어가 하나라도 잘못 입력되면 처음 상태인 ST0상태로 돌아가서 처음부터 다시 명령어를 입력해야한다.

따라서 명령어를 모르는 다른 사용자가 임으로 레퍼런스 레벨을 변화시킬 수 없다.

그리고 처음 전원 투입시(Power up)에는 리셋신호에 의해 ST0 상태가 된다.

이와 같은 동작을 하기 위해 처음 전원 투입시에 레퍼런스 컨트롤부에 저장된 상태를 센싱하기 위한 파워-업 모드시의 동작에 대하여 설명한다.

도 28에 도시한 바와 같이 전원이 안정된 레벨에 도달하면 파워-업 감지 펄스(Power-up Detection Pulse

: PUP)가 발생되고, 상기 PUP를 이용하여 EQN을 '하이'레벨에서 '로우'레벨로 천이시켜 아벨라이즈(Equalize)를 해제시킨다.

이후에 CPL을 '로우'레벨에서 '하이'레벨로 천이 시키면 도 26에서 FC1, FC2에 저장되었던 차이지가 FC3, FC4의 커파시턴스 로드에 의해 셀의 양단 노드 즉, S\_N1과 R\_N2에 전압차를 발생시킨다.

충분한 전압차가 발생하면 ENN과 ENP를 각각 '하이'레벨과 '로우'레벨로 활성화시킴으로써 셀 양단 데이터를 증폭시킨다.

이때 셋일 경우는 S\_N1노드는 하이레벨로 R\_N2는 로우레벨로 증폭되고, 리셋일 경우는 S\_N1노드는 로우레벨로 R\_N2는 하이레벨로 증폭된다.

증폭이 완료되면 CPL을 다시 '로우'레벨로 천이시켜 파괴되었던 FC1 혹은 FC2의 '하이'데이터를 다시 복구시킨다. 이때 ENP는 '로우'레벨로 비활성화되어 외부 데이터가 다시 라이트(Write)되는 것을 방지한다.

이와 같은 상태 다이어그램의 동작은 도 29에서 도시한 바와 같이 명령어 어드레스와 클럭(CLK)신호 발생에 의해 진행되는데, 명령어(CM1~CM5)의 구성은 어드레스 입력신호(ADD) 조합으로 구성되고, CLK 신호는 CEB와 WEB가 '로우'레벨로 유지한 상태에서 OEB(output enable bar)신호를 '로우'레벨로 천이할 때 발생된다.

즉, CLK는 미전 상태 싸이클에서 다음 상태 싸이클로 변화될 때 발생된다.

이와 같은 CLK 신호는 상태 다이어그램의 이동 플립-플롭 구조화로에서 트리거 펄스(Trigger Pulse)로 사용된다.

이때 CEB와 WEB와 /OE는 패드신호이다.

다음에 상기 상태 다이어그램에서 명령어(CM1~CM5)에 의해서 순차적으로 ST0에서 ST5상태에 도달하면 각각의 레퍼런스 컨트롤부는 셋과 리셋신호를 발생시킬 수 있는 상태가 되는데, 그 동작에 대하여 설명한다.

도 30에 도시한 바와 같이 ST5상태가 되면 레퍼런스 프로그램신호(REF\_PGM)가 '로우'레벨에서 '하이'레벨로 천이된다.

이때 각 레퍼런스 컨트롤부에는 셋과 리셋을 위한 데이터가 준비된다.

이때 WEB와 OEB를 '하이'레벨로 유지한 상태에서 CEB를 '하이'레벨에서 '로우'레벨로 천이시키면 트리거 펄스가 발생되고, 이 트리거 펄스에 의해 레퍼런스 컨트롤부에 셋/리셋이 라이트되고, 트리거 펄스가 발생됨과 동시에 ENP는 '로우'레벨에서 '하이'레벨로 천이되고, CPL도 일정구간 '하이'레벨을 나타낸다.

그리고 미와 같이 레퍼런스 컨트롤신호가 발생될 때 ENN과 ENP와 EQN은 각각 '하이'와 '로우'와 '로우'레벨을 유지한다.

다음에 상기와 같이 레퍼런스 레벨을 조정할 수 있도록 레퍼런스 컨트롤신호를 출력하는 제1방법에 따른 레퍼런스 컨트롤부의 구성을 도 26a를 참조하여 설명한다.

제1방법에 따른 레퍼런스 컨트롤부는 도 26a에 도시한 바와 같이 ENP신호와 외부 어드레스 패드를 통해서 입력된 셋(SET)신호를 논리곱하여 반전하는 제1논리게이트(NAND1)와, ENP신호와 외부 어드레스 패드를 통해서 입력된 리셋(RESET)신호를 논리곱하여 반전하는 제2논리게이트(NAND2)와, 제1논리게이트의 신호를 반전하는 제1인버터(IN1)와, 제2논리게이트의 신호를 반전하는 제2인버터(IN2)와, 피모스 인에이블 신호(ENP)를 받아 전원전압(VCC)을 제1노드(N1)에 전달하기 위한 제1피모스 트랜지스터(PM1)와, 일축노드는 제1노드(N1)에 연결되고 타축노드는 제2, 제3노드(N2, N3)에 연결된 제1래치(126)와, 이컬리아이저 신호(EQN)를 받아 제2, 제3노드(N2, N3)의 연결여부를 제어하는 제1엔모스 스위치(S1)와, 게이트단은 제1인버터의 출력단과 접속되고 드레인단과 소오스단은 각각 제2노드와 접지전압단(VSS)에 접속된 제1엔모스 트랜지스터(NM1)와, 게이트단은 제1인버터의 출력단과 접속되고 드레인단과 소오스단은 각각 제3노드와 접지전압단(VCC)에 접속된 제2엔모스 트랜지스터(NM2)와, 게이트단은 제2인버터의 출력단과 접속되고 드레인단과 소오스단은 각각 R\_N2와 전원전압단(VCC)에 접속된 제3엔모스 트랜지스터(NM3)와, 게이트단은 제2인버터의 출력단과 접속된 제4엔모스 트랜지스터(NM4)와, 앤모스 인에이블 신호(ENN)를 받아 접지전압(VSS)을 제4노드(N4)에 전달하기 위한 제5엔모스 트랜지스터(NM5)와, 일축노드는 제4노드(N4)에 연결되고 타축노드는 R\_N2 노드와 S\_N1 노드에 접속된 제2래치(127)와, CPL신호 입력단과 R\_N2노드 사이에 구성된 제1강유전체 커파시터(FC1)와, CPL신호 입력단과 S\_N1노드(N6)의 사이에 구성된 제2강유전체 커파시터(FC2)와, R\_N2 노드와 접지전압단(VSS) 사이에 구성된 제3강유전체 커파시터(FC3)와, S\_N1 노드와 접지전압단(VSS)의 사이에 구성된 제4강유전체 커파시터(FC4)로 구성되었다.

이때 트랜스퍼 게이트의 앤모스 트랜지스터의 게이트단으로 출력되는 제1레퍼런스 컨트롤신호(REF\_CON(N))는 S\_N1노드를 통해 이루어지고, 트랜스퍼 게이트의 피모스 트랜지스터의 게이트단으로 출력되는 제2레퍼런스 컨트롤신호(REF\_CON(P))는 R\_N2노드를 통해 이루어진다.

상기에서 FC1과 FC2는 프로그램 데이터를 기억하기 위한 강유전체 커파시터이고, FC3와 FC4는 센싱 시의 센싱 노드인 S\_N1과 R\_N2의 커파시턴스 로드(Capacitance Load)를 맞추기 위한 강유전체 커파시터이다.

다음에 저전압에 유리한 제2방법에 따른 레퍼런스 컨트롤부의 구성을 도 26b를 참조하여 설명한다.

제2방법에 따른 레퍼런스 컨트롤부는 제2엔모스 트랜지스터(NM2) 대신에 게이트가 제1논리게이트(NAND1)의 출력단과 접속된 제2피모스 트랜지스터(PM2)로 대체되고, 제3엔모스 트랜지스터(NM3) 대신에 게이트가 제2논리게이트(NAND2)의 출력단과 접속된 제3피모스 트랜지스터(PM3)로 대체된 것을 제외하고는 제1방법에 따른 레퍼런스 컨트롤부의 구조와 동일하다.

상기와 같은 회로를 이용하여 트랜스퍼 게이트를 터온/터오프 시켜서 레퍼런스 레벨을 조정하는 동작에

대하여 설명하면 다음과 같다.

레퍼런스 컨트롤부에서 셋(SET)과 리셋(RESET)신호는 어드레스 입력 패드를 이용하여 입력된다.

이때 어드레스 입력 패드로 로직 '1' 신호를 입력시키면 셋(SET) 입력단으로는 '1'이 입력되고 리셋 입력단으로는 '0'이 입력된다.

그리고 어드레스 입력 패드로 로직 '0' 신호를 입력시키면 셋(SET) 입력단으로는 '0'이 입력되고 리셋(RESET) 입력단으로는 '1'이 입력된다.

따라서 셋(SET) 입력단으로 로직 '1'이 입력될 경우 S\_N1노드는 '하이' 레벨이 되어 제1레퍼런스 컨트롤신호(REF\_CON(N))는 '하이'가 되고, R\_N2노드는 '로우' 레벨이 되어 제2레퍼런스 컨트롤신호(REF\_CON(P))는 '로우'가 된다.

이와 같은 제1, 제2레퍼런스 컨트롤신호(REF\_CON(N), REF\_CON(P))를 받은 트랜스퍼 게이트는 턴온 상태가 된다.

또한 리셋(RESET) 입력단으로 로직 '1'이 입력될 경우 S\_N1노드는 '로우' 레벨이 되어 제1레퍼런스 컨트롤신호(REF\_CON(N))가 '로우'가 되고, R\_N2노드는 '하이' 레벨이 되어 제2레퍼런스 컨트롤신호(REF\_CON(P))가 '하이'가 된다.

이와 같은 제1, 제2레퍼런스 컨트롤신호(REF\_CON(N), REF\_CON(P))를 받은 트랜스퍼 게이트는 턴오프 상태가 된다.

상기와 같은 트랜스퍼 게이트의 턴온/턴오프의 상태에 따라서 레퍼런스 전압 발생 라인들(REF\_G1, ...)과 강유전체 커파시터의 연결이 결정되어 레퍼런스 레벨을 조정할 수 있다.

상기와 같은 본 발명 불휘발성 강유전체 메모리 장치에서 비트라인 크로스 토크 효과(BL cross talk effect)를 억제하기 위해서 설계팀에서 제안한 하이브리드 비트라인 구조에 대한 효과를 검증하기 위해서 0.35 tech 오픈 구조의 256k를 FIB 회로수정을 통하여 하이브리드 비트라인 구조와 유사한 동작 조건으로 센싱 마진을 기존의 오픈 구조와 비교 실현한 결과를 제시하면 다음과 같다.

표1은 SBT 및 BLT 물질에 대해 각 2샘플, 총 4샘플의 실험에서 표1과 같은 재현성 있는 결과를 보였다.

먼저 SBT 물질을 사용하였을 경우는 표1과 같은 실험결과가 나왔다.

그리고 BLT 물질을 사용하였을 경우는 표2와 같은 실험결과가 나왔다.

[표 1]

비트라인 구조	테스트 패턴	$\Delta V$ (중간값) @90C [mV]	$\Delta V$ (최소값) @90C [mV]
오픈 구조	Solid	355	235
	Stripe(Checker)	255	95
하이브리드 (Hybrid)	Solid	355	200
	Stripe(Checker)	335	190

[표 2]

비트라인 구조	테스트 패턴	$\Delta V$ (중간값) @90C [mV]	$\Delta V$ (최소값) @90C [mV]
오픈 구조	Solid	480	215
	Stripe(Checker)	350	40
하이브리드 (Hybrid)	Solid	480	130
	Stripe(Checker)	480	120

상기의 표 1과 표 2의 데이터에 따라 다음과 같은 결론을 유추할 수 있다.

첫째, SBT의 경우가  $\Delta V$ (중간값)은 BLT에 비해 낮지만  $\Delta V$ (최소값)에서는 더 유리하다. 즉, 분포가 더 좋다.

둘째, 하이브리드 비트라인 구조로의 변경에 의한  $\Delta V$ (중간값) 감소는 거의 없었다.

셋째, 하이브리드 비트라인 구조 적용에 따른 비트라인 크로스 토크 효과는 실험오차를 감안할 때 기대치인 5%미만이다.

넷째, 나쁜 경우와 비교할 때 하이브리드 경우가 오픈 경우보다 약 100mV 센싱 마진 증대효과가 있다.

다섯째, 크로스토크 효과의 제거에 의한 임프린트(imprint) 관련 셀 라이프 타임은 30시간에서 약 30년으로 증가시킬 수 있을 것을 기대할 수 있는데, 이때는 4K 셀 어레이 신호 분포를 기준으로 했을 경우이다.

여섯째, 헤이브리드 비트라인 구조의 경우 오픈에 비해 셀 분포가 본 실험에는 12%이상 크게 나왔으나, 이 현상은 FIB 실험 과정에서 생긴 노이즈일 가능성이 크며, 실제 회로에서는 오픈 비트라인 구조와 같은 셀 분포를 가질 수 있다면, 셀 수명 증대효과가 더 커질 것이다.

#### 불휘발성 메모리 장치

상기와 같은 본 발명 불휘발성 강유전체 메모리 장치 및 그의 구동방법은 다음과 같은 효과가 있다.

첫째, 센스앰프를 기준으로 상부와 하부에 대응되는 비트라인을 각각 메인 비트라인과 레퍼런스 비트라인으로 사용하므로 커플링 노이즈를 방지하여 센싱마진을 향상 시킬 수 있다.

둘째, 이용하는 비트라인을 레퍼런스 비트라인으로 이용하므로 레퍼런스 비트라인들이 쇼트가 발생해도 레퍼런스 발생 레벨에는 영향을 주지 않기 때문에 메인 셀 데이터에 의한 레퍼런스 레벨 간섭 영향을 방지할 수 있다.

셋째, 오픈 비트라인 구조의 경우 에지 레퍼런스 어레이부에 연속적인 앤모스 커패시터를 구성하므로써 메인 셀의 비트라인과 비슷한 조건의 더미 레퍼런스 어레이를 구현할 수 있고, 또한 레이아웃 면적을 작게 구현할 수 있다.

#### (5) 청구항의 범위

##### 청구항 1

센스앰프를 기준으로 상부와 하부에 복수개의 단위 셀들을 포함하여 구비된 탑 및 바텀 셀 어레이부와,

상기 탑 및 바텀 셀 어레이부에 한 개이상 대응되어 배치된 레퍼런스 어레이부와,

상기 탑 또는 바텀 셀 어레이부의 단위셀과 접속된 메인 비트라인과,

상기 센스앰프를 기준으로 상기 탑 또는 바텀 셀 어레이부의 상기 메인 비트라인에 대응되는 상기 바텀 또는 탑 셀 어레이부의 레퍼런스 비트라인을 포함하여 구성됨을 특징으로 하는 불휘발성 강유전체 메모리 장치.

##### 청구항 2

제1항에 있어서,

상기 탑 및 바텀 셀 어레이부가 오픈 비트라인 구조일 때 상기 레퍼런스 어레이부는 상기 셀 어레이부 중 간부분에 중간 레퍼런스 어레이부와,

상기 셀 어레이부의 에지부분에 에지 레퍼런스 어레이부를 구비하는 것을 포함함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

##### 청구항 3

제2항에 있어서,

상기 탑 및 바텀 셀 어레이부가 오픈 비트라인 구조일 때 상기 센스앰프는 상기 탑 및 바텀 셀 어레이부의 사이와, 상기 탑 및 바텀 셀 어레이부와 상기 에지 레퍼런스 어레이부의 사이에 교번으로 배치되는 것을 포함함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

##### 청구항 4

제1항에 있어서,

상기 탑 및 바텀 셀 어레이부가 풀디드 비트라인 구조일 때 상기 레퍼런스 어레이부는 상기 탑 및 바텀 셀 어레이부에 하나씩 배치됨을 특징으로 하는 불휘발성 강유전체 메모리 장치.

##### 청구항 5

제1항에 있어서,

상기 탑 및 바텀 셀 어레이부가 풀디드 비트라인 구조일 때 상기 센스앰프와 연결된 비트라인은 오픈 비트라인 구조를 갖는 헤이브리드 비트라인 구조를 이루도록,

상기 탑 셀 어레이부의 두 개의 비트라인마다 한 개의 센스앰프를 공유하고,

상기 센스앰프를 기준으로 상기 탑 셀 어레이부의 비트라인에 대응하는 상기 바텀 셀 어레이부의 두 개의 비트라인도 상기 탑 셀 어레이부와 동일한 센스앰프를 공유하도록 배치되는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

##### 청구항 6

제5항에 있어서,

상기 탑 및 바텀 셀 어레이부의 비트라인들과 상기 센스앰프는 스위칭 트랜지스터를 통해 연결이 제어되

는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 첨구항 7

센스앰프를 기준으로 상부와 하부에 복수개의 단위 셀들을 포함하여 구비된 탑 및 바텀 셀 어레이부와,

상기 탑 및 바텀 셀 어레이부의 중간영역에 형성된 중간 레퍼런스 어레이부와,

상기 탑 및 바텀 셀 어레이부의 에지 부분에 각각 형성된 에지 레퍼런스 어레이부와,

상기 탑과 바텀 셀 어레이부의 사이와, 상기 탑 및 바텀 셀 어레이부와 각 에지 레퍼런스 어레이부의 사이에 교번으로 배치된 센스앰프부와,

상기 탑과 바텀 셀 어레이부 사이에 구성된 상기 센스앰프를 기준으로 상부의 비트라인이 메인 비트라인/레퍼런스 비트라인일 때는 이에 대응되는 하부의 비트라인은 레퍼런스 비트라인/메인 비트라인이고,

상기 탑 및 바텀 셀 어레이부와 각 에지 레퍼런스 어레이부 사이에 구성된 센스앰프를 기준으로 상부의 비트라인이 레퍼런스 비트라인/메인 비트라인일 때 하부의 비트라인은 메인 비트라인/레퍼런스 비트라인인 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 첨구항 8

제7항에 있어서,

상기 셀 어레이를 비트라인을 중심으로 접으면 상기 단위 셀들이 서로 겹쳐서 배열된 오픈 비트라인 구조를 이루는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 첨구항 9

제7항에 있어서,

상기 중간 레퍼런스 어레이부는 단위 셀 블록내에 일방향으로 구성되는 복수개의 비트 라인들과,

상기 복수개의 비트 라인들에 수직한 방향으로 배열된 하나의 레퍼런스 워드 라인(REF\_W/L)과,

상기 레퍼런스 워드 라인과 동일한 방향으로 배열된 레퍼런스 플레이트 라인(REF\_P/L)과,

제 1 전극이 상기 레퍼런스 플레이트 라인(REF\_P/L)에 연결되고 제 2 전극이 스토리지 노드(SN)인 레퍼런스 라인에 연결되어 서로 병렬적으로 구성되는 복수개의 레퍼런스 커퍼시터들과,

게이트에 레퍼런스 셀 이퀄라이즈 컨트롤 신호(REF\_EQ)가 인가되고 한쪽 전극은 접지 단자(GND)에 다른쪽 전극은 스토리지 노드(SN)인 레퍼런스 라인에 연결되는 앤모스 트랜지스터로 구성되는 레벨 초기화부와,

각각의 비트라인들에 대응하여 한쪽 전극이 연결되고 다른쪽 전극은 스토리지 노드(SN)인 레퍼런스 라인에 연결되고 게이트가 레퍼런스 워드라인(REF\_W/L)에 공통으로 연결되는 복수개의 트랜지스터들로 구성된 스위칭 블록으로 구성됨을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 첨구항 10

제7항에 있어서,

상기 에지 레퍼런스 어레이부는 상기 중간 레퍼런스 어레이부의 구성에서 각 비트라인들을 복수개의 레퍼런스 비트라인들(RBL1~RBLn)로 대체하고,

상기 각 레퍼런스 비트라인들의 사이에 상기 레퍼런스 비트라인을 소오스/드레인으로 하여 게이트가 접지되어 있는 앤모스 트랜지스터들을 하나씩 배치시키고,

최외각의 레퍼런스 비트라인에 연결된 앤모스 트랜지스터의 소오스단자는 접지된 더미 로드영역을 포함하여 구성됨을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 첨구항 11

센스앰프를 기준으로 상부와 하부에 복수개의 단위 셀들을 포함하여 구비된 탑 및 바텀 셀 어레이부와,

상기 센스앰프와 대응되는 상기 탑 및 바텀 셀 어레이부의 에지부분에 각각 배치된 레퍼런스 어레이부와;

상기 탑 셀 어레이부의 두 개의 비트라인과 이에 대응되는 상기 바텀 셀 어레이부의 두 개의 비트라인이 하나의 센스앰프를 공유하며,

상기 센스앰프를 기준으로 상부의 비트라인이 메인 비트라인으로 사용되면 그에 대응되는 하부의 비트라인은 레퍼런스 비트라인으로 사용되고, 상기 메인 비트라인과 상기 레퍼런스 비트라인에 이동하는 상,하부 두 개의 비트라인은 더미 레퍼런스 비트라인으로 사용되도록 구성된 복수개의 비트라인들,

제1, 제2제어신호를 받아 상기 센스앰프와 복수개의 비트라인들의 연결이 제어되며, 상기 센스앰프를 기준으로 대응되는 상,하부 비트라인은 같은 제어신호에 의해 제어되도록 구성된 복수개의 스위칭 소자들을 포함함을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 첨구항 12

제11항에 있어서,

상기 탑 및 바텀 셀 어레이부는 상기 비트라인을 중심으로 접었을 경우 상기 단위 셀들이 서로 겹치지 않도록 엇갈려 배열된 풀디드 비트라인 구조의 셀 어레이를 이루는 것을 특징으로 하는 불휘발성 강유전체

메모리 장치.

### 청구항 13

제12항에 있어서,

상기 콜디드 비트라인 구조의 셀 어레이에는 복수개의 워드라인과 플레이트 라인성이 평행하게 배열되어 있고,

이에 수직한 방향으로 복수개의 비트라인들이 배열되어 있으며,

상기 셀 어레이를 비트라인을 기준으로 절었을 때 비트 라인과 워드라인에 접속된 셀들이 서로 겹치지 않도록 엣갈려서 배열된 것을 특징으로 하는 불휘발성 강유전체 메모리 장치.

### 청구항 14

제12항에 있어서,

상기 콜디드 비트라인 구조의 셀 어레이는

상기 셀 어레이부에 칼럼 단위로 대응되어 일방향으로 구성된 복수개의 메인 비트 라인들,

상기 단위 셀의 일단지에 연결되며 상기 메인 비트 라인과 동일방향으로 구성된 복수개의 서브 비트 라인들,

상기 서브 비트 라인과 상기 메인 비트 라인의 연결여부를 제어하고, 상기 두 개의 서브 비트 라인이 셀 표 부스트(Self Boost) 동작에 의해서 풀-업되는 것을 각각 제어하며, 상기 서브 비트 라인을 선택적으로 풀 다운시키도록 각각 상기 서브 비트 라인과 수직방향으로 직교하여 배열된 서브 비트 라인 제1 스위치 신호(SBSW1) 인가 라인들과, 좌측/우측 서브 비트 라인 제2 스위치 신호(SBSW2\_L, SBSW2\_R) 인가 라인들과, 서브 비트 라인 풀 업 신호(SBPU) 인가 라인들과, 서브 비트 라인 풀 다운 신호(SBPD) 인가 라인들,

상기 셀 어레이부 내에 칼럼 방향에 대응하여 상기 SBSW1 인가 라인의 제어를 받아 동작하는 제1스위칭 소자와,

상기 셀 어레이부 내에 칼럼 방향에 대응하여 상기 SBSW2\_L과 SBSW2\_R 인가 라인의 제어를 받아 상기 SBPU 인가 라인의 신호를 상기 각 서브 비트라인에 선택적으로 전달하는 제2스위칭 소자와,

상기 셀 어레이부 내에 칼럼 방향에 대응하여 상기 SBPD 인가 라인의 제어를 받아 상기 서브 비트 라인을 선택적으로 풀 다운 시키는 제3스위칭 소자를 포함하여 구성됨을 특징으로 하는 불휘발성 강유전체 메모리 장치.

### 청구항 15

제11항에 있어서,

상기 센스앰프는 래치형으로 구성되고,

상기 탑 및 바텀 셀 어레이부의 각 두 개의 비트라인마다 상기 센스앰프의 출력노드를 공통으로 사용하고,

상기 센스앰프의 각 출력노드 사이에 이퀄라이즈 신호(EQ)를 받아 구동하는 제1스위칭 트랜지스터,

상기 센스앰프의 각 출력노드와 디미터 버스(DB,DB) 사이에 칼럼 셀렉터 신호(Yi)의 제어를 받아 구동하는 제2, 제3스위칭 트랜지스터,

상기 센스앰프의 각 출력노드와 절지전압단의 사이에 이퀄라이즈 신호에 의해 제어를 받는 제4, 제5 스위칭 트랜지스터로 구성됨을 특징으로 하는 불휘발성 강유전체 메모리 장치.

### 청구항 16

제11항에 있어서,

상기 레퍼런스 어레이부는 제1, 제2탑 셀 어레이부 또는 제1, 제2바텀 셀 어레이부 사이에 구성될 수 있고, 이때 내부에서 레퍼런스 레벨을 조정할 수 있도록

제1전극이 레퍼런스 플레이트 라인(REF\_P/L)에 공통 접속되고 제2전극이 스토리지 노드인 레퍼런스 라인에 공통 접속되어 서로 병렬적으로 구성된 복수개의 레퍼런스 강유전체 커패시터들(F16-1, F16-2, F16-3, F16-4, ..., F16-n)과,

상기 복수개의 레퍼런스 강유전체 커패시터들에 일대일 대응하여 구성되고, 상기 강유전체 커패시터와 제1탑 또는 제1바텀 셀 어레이부(1)의 각 비트라인 사이에 연결되며, 총수번째 앤모스 트랜지스터들(N1-1, N1-3, N1-5, ...)은 제1바텀 레퍼런스 워드라인(REF\_WL1B)의 제어를 받고, 짹수번째 앤모스 트랜지스터들(N1-2, N1-4, N1-6, ...)은 제2바텀 레퍼런스 워드라인(REF\_WL2B)의 제어를 받도록 구성된 복수개의 앤모스 스위칭 트랜지스터들(N1-1, N1-2, N1-3, N1-4, ...),

복수개의 강유전체 커패시터에 일대일 대응하여 구성되고, 상기 강유전체 커패시터와 제2탑 또는 제2바텀 셀 어레이부(1)의 각 비트라인 사이에 구성되며, 총수번째 앤모스 트랜지스터들(NII-1, NII-3, NII-5, ...)은 제1탑 레퍼런스 워드라인(REF\_WL1T)의 제어를 받고, 짹수번째 앤모스 트랜지스터들(NII-2, NII-4, NII-6, ...)은 제2타입 레퍼런스 워드라인(REF\_WL2T)의 제어를 받도록 구성된 복수개의 스위칭 트랜지스터들(NII-1, NII-2, NII-3, NII-4, ...),

레퍼런스 이퀄라이즈 신호를 받아 동작하는 레벨 초기화부로 구성됨을 특징으로 하는 불휘발성 강유전체 메모리 장치.

#### 첨구항 17

제11항에 있어서,

상기 레퍼런스 어레이부는 외부에서 레퍼런스 레벨을 조정하기 위해서 내부에는 복수개의 스위칭 트랜지스터들과 레벨 초기화부를 구비하고,

외부에는 홀수번째와 짝수번째의 레퍼런스 어레이부별로 레퍼런스 전압을 출력하기 위해 우측과 좌측에 각각 배치된 제1, 제2레퍼런스 발생부와,

우측에는 각 홀수번째 레퍼런스 비트라인에 상기 레퍼런스 전압의 전달을 제어하는 스위칭 트랜지스터들로 구성된 제1스위칭부와,

좌측에는 각 짝수번째 레퍼런스 비트라인에 상기 레퍼런스 전압의 전달을 제어하는 스위칭 트랜지스터들로 구성된 제2스위칭부와,

각 레퍼런스 비트라인과 연결되고 레퍼런스 이퀄라이즈 신호의 제어를 받아 상기 각 레퍼런스 비트라인을 풀다운 시키기 위해 각 우측/좌측에 레퍼런스 풀다운 트랜지스터들로 구성된 제1, 제2풀다운부로 구성됨을 특징으로 하는 불휘발성 강유전체 메모리장치.

#### 첨구항 18

제17항에 있어서,

상기 홀수번째 레퍼런스 어레이부에 연결된 상기 제1레퍼런스 발생부와 상기 제1스위칭부와 상기 제1풀다운부를 우측과 좌측에 대응되게 구비하고,

상기 짝수번째 레퍼런스 어레이부에 연결된 상기 제2레퍼런스 발생부와 상기 제2스위칭부와 상기 제2풀다운부를 우측과 좌측에 대응되게 구비하는 것을 더 포함함을 특징으로 하는 불휘발성 강유전체 메모리장치.

#### 첨구항 19

제16항에 있어서,

상기 레퍼런스 어레이부의 레퍼런스 레벨을 외부에서 조정할 때,

상기 레퍼런스 어레이부는 내부에서 레퍼런스 레벨을 조정할 수 있는 구성에서 복수개의 레퍼런스 강유전체 커패시터들과 레벨초기화부를 제외한 복수개의 앤모스 스위칭 트랜지스터들( $N_{I-1}, N_{I-2}, N_{I-3}, N_{I-4}, \dots$ )과,

복수개의 앤모스 스위칭 트랜지스터들( $N_{II-1}, N_{II-2}, N_{II-3}, N_{II-4}, \dots$ )로 구성됨을 특징으로 하는 불휘발성 강유전체 메모리장치.

#### 첨구항 20

제17항에 있어서,

상기 레퍼런스 발생부는 제1전극은 레퍼런스 플레이트 라인(REF\_PL)에 공통 접속되고 제2전극은 스토리지 노드인 레퍼런스 전압 발생 라인(REF\_G1)에 공통접속되어 있는 복수개의 강유전체 커패시터들과,

공정 변화에 따른 레퍼런스 레벨의 변화를 조정하기 위해서 상기 강유전체 커패시터의 제2전극과 레퍼런스 전압 발생 라인(REF\_G1) 사이에 하나씩 배치된 복수개의 퓨즈들,

게이트에 레퍼런스 이퀄라이즈 신호를 입력받고 드레인단과 소오스단은 각각 상기 레퍼런스 전압 발생 라인(REF\_G1)과 접지전압단에 접속되어 있는 레벨 초기화부로 구성됨을 특징으로 하는 불휘발성 강유전체 메모리장치.

#### 첨구항 21

제17항에 있어서,

상기 레퍼런스 발생부는 제1전극은 레퍼런스 플레이트 라인(REF\_PL)에 공통 접속되고 제2전극은 스토리지 노드인 레퍼런스 전압 발생 라인(REF\_G1)에 공통접속되어 있는 복수개의 강유전체 커패시터들과,

공정 변화에 따른 레퍼런스 레벨의 변화를 조정하기 위해서 상기 강유전체 커패시터의 제2전극과 레퍼런스 전압 발생 라인(REF\_G1) 사이에 하나씩 배치된 복수개의 트랜스퍼 게이트들과,

게이트에 레퍼런스 이퀄라이즈 신호를 입력받고 드레인단과 소오스단은 각각 상기 레퍼런스 전압 발생 라인(REF\_G1)과 접지전압단에 접속되어 있는 레벨 초기화부와,

상기 트랜스퍼 게이트를 컨트롤하기 위한 복수개의 레퍼런스 컨트롤부를 포함함을 특징으로 하는 불휘발성 강유전체 메모리장치.

#### 첨구항 22

제21항에 있어서,

상기 레퍼런스 컨트롤부는 제1제어신호(EN#)와 외부 어드레스 패드를 통해서 입력된 셋(SET)신호를 논리

곧하여 반전하는 제1논리게이트와,

상기 제1제어신호(ENW)와 외부 어드레스 패드를 통해서 입력된 리셋(RESET)신호를 논리곱하여 반전하는 제2논리게이트와,

상기 제1논리게이트의 신호를 반전하는 제1인버터(IN1)와,

상기 제2논리게이트의 신호를 반전하는 제2인버터(IN2)와,

피모스 인에이블 신호(ENP)를 받아 전원전압(VCC)을 제1노드(N1)에 전달하기 위한 제1피모스 트랜지스터(PM1)와,

일축노드는 상기 제1노드(N1)에 연결되고 타축노드는 제2, 제3노드(N2, N3)에 연결된 제1래치와,

미컬라이저 신호(EQN)를 받아 상기 제2, 제3노드(N2, N3)의 연결여부를 제어하는 제1엔모스 스위치(S1)와,

게이트단은 상기 제1인버터의 출력단과 접속되고 드레인단과 소오스단은 각각 상기 제2노드와 접지전압단(VSS)에 접속된 제1엔모스 트랜지스터(NM1)와,

게이트단은 상기 제1인버터의 출력단과 접속되고 드레인단과 소오스단은 각각 상기 제3노드와 전원전압단(VCC)에 접속된 제2엔모스 트랜지스터(NM2)와,

게이트단은 상기 제2인버터의 출력단과 접속되고 드레인단과 소오스단은 각각 제5노드(R\_N2)와 전원전압단(VCC)에 접속된 제3엔모스 트랜지스터(NM3)와,

게이트단은 상기 제2인버터의 출력단과 접속되고 드레인단과 소오스단은 각각 제6노드(S\_N1)와 접지전압단(VSS)에 접속된 제4엔모스 트랜지스터(NM4)와,

엔모스 인에이블 신호(ENN)를 받아 접지전압(VSS)을 제4노드(N4)에 전달하기 위한 제5엔모스 트랜지스터(NM5)와,

일축노드는 상기 제4노드(N4)에 연결되고 타축노드는 제5노드(R\_N2)와 제6노드(S\_N1)에 접속된 제2래치와,

제2제어신호(CPL) 입력단과 상기 제5노드(R\_N2) 사이에 구성된 제1강유전체 커패시터(FC1)와,

상기 제2제어신호(CPL) 입력단과 상기 제6노드(S\_N1)의 사이에 구성된 제2강유전체 커패시터(FC2)와,

상기 제5노드(R\_N2)와 접지전압단(VSS) 사이에 구성된 제3강유전체 커패시터(FC3)와,

상기 제6노드(S\_N1)와 접지전압단(VSS)의 사이에 구성된 제4강유전체 커패시터(FC4)로 구성됨을 특징으로 하는 불휘발성 강유전체 메모리장치.

## 청구항 23

제21항에 있어서,

상기 레퍼런스 컨트를부는

제1제어신호(ENW)와 외부 어드레스 패드를 통해서 입력된 셋(SET)신호를 논리곱하여 반전하는 제1논리게이트와,

상기 제1제어신호(ENW)와 외부 어드레스 패드를 통해서 입력된 리셋(RESET)신호를 논리곱하여 반전하는 제2논리게이트와,

상기 제1논리게이트의 신호를 반전하는 제1인버터(IN1)와,

상기 제2논리게이트의 신호를 반전하는 제2인버터(IN2)와,

피모스 인에이블 신호(ENP)를 받아 전원전압(VCC)을 제1노드(N1)에 전달하기 위한 제1피모스 트랜지스터(PM1)와,

일축노드는 상기 제1노드(N1)에 연결되고 타축노드는 제2, 제3노드(N2, N3)에 연결된 제1래치와,

미컬라이저 신호(EQN)를 받아 상기 제2, 제3노드(N2, N3)의 연결여부를 제어하는 제1엔모스 스위치(S1)와,

게이트단은 상기 제1인버터의 출력단과 접속되고 드레인단과 소오스단은 각각 상기 제2노드와 접지전압단(VSS)에 접속된 제1엔모스 트랜지스터(NM1)와,

게이트단은 상기 제1논리게이트의 출력단과 접속되고 드레인단과 소오스단은 각각 상기 제3노드와 전원전압단(VCC)에 접속된 제2피모스 트랜지스터(PM2)와,

게이트단은 상기 제2논리게이트의 출력단과 접속되고 드레인단과 소오스단은 각각 제5노드(R\_N2)와 전원전압단(VCC)에 접속된 제3피모스 트랜지스터(PM3)와,

게이트단은 상기 제2인버터의 출력단과 접속되고 드레인단과 소오스단은 각각 제6노드(S\_N1)와 접지전압단(VSS)에 접속된 제4엔모스 트랜지스터(NM4)와,

엔모스 인에이블 신호(ENN)를 받아 접지전압(VSS)을 제4노드(N4)에 전달하기 위한 제5엔모스 트랜지스터(NM5)와,

일축노드는 상기 제4노드(N4)에 연결되고 타축노드는 제5노드(R\_N2)와 제6노드(S\_N1)에 접속된 제2래치와,

제2제어신호(CPL) 입력단과 상기 제5노드(R\_N2) 사이에 구성된 제1강유전체 커패시터(FC1)와,

상기 제2제어신호(CPL) 입력단과 상기 제6노드(S\_N1)의 사이에 구성된 제2강유전체 커패시터(FC2)와, 상기 제5노드(R\_N2)와 접지전압단(VSS) 사이에 구성된 제3강유전체 커패시터(FC3)와, 상기 제6노드(S\_N1)와 접지전압단(VSS)의 사이에 구성된 제4강유전체 커패시터(FC4)를 더 포함하여 구성됨을 특징으로 하는 불휘발성 강유전체 메모리장치.

#### 청구항 24

센스앰프를 기준으로 상부와 하부에 복수개의 단위 셀들을 포함하여 구비된 탑 및 바텀 셀 어레이부와, 상기 탑 및 바텀 셀 어레이부에 한 개이상 대응되어 배치된 레퍼런스 어레이부와, 상기 센스앰프를 공유하여 상기 센스앰프의 상부와 하부에 각각 배열된 비트라인들을 포함하여 구성됨을 특징으로 하는 불휘발성 강유전체 메모리 장치에 있어서,

상기 센스앰프 상부에 배열된 비트라인이 메인 비트라인으로 동작할 때, 상기 센스앰프 하부에 배열된 비트라인으로는 상기 레퍼런스 어레이부에서 레퍼런스 전압이 발생하여 레퍼런스 비트라인으로 동작하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치의 구동방법.

#### 청구항 25

제24항에 있어서,

상기 탑 및 바텀 셀 어레이부가 오픈 비트라인 구조일 때,

상기 레퍼런스 어레이부는 상기 탑 및 바텀 셀 어레이부의 중간부분에 각각 중간 레퍼런스 어레이부를 더 구비하면서 상기 중간 레퍼런스 어레이부에서 상기 레퍼런스 비트라인으로 레퍼런스 전압을 출력하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치의 구동방법.

#### 청구항 26

제24항에 있어서,

상기 탑 및 바텀 셀 어레이부가 폴디드 비트라인 구조일 때,

상부의 제1, 제2비트라인과 하부의 제1, 제2비트라인이 한 개의 센스앰프를 공유하고 있으며,

상부 두 개의 비트라인중 제1비트라인이 메인 비트라인으로 동작될 경우, 그에 대응되는 하부의 제1비트라인은 상기 레퍼런스 어레이부로부터 레퍼런스 전압을 받아 레퍼런스 비트라인으로 구동하고, 나머지 상부의 제2비트라인과 하부의 제2비트라인은 더미 레퍼런스 비트라인으로 구동하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치의 구동방법.

#### 청구항 27

제24항에 있어서,

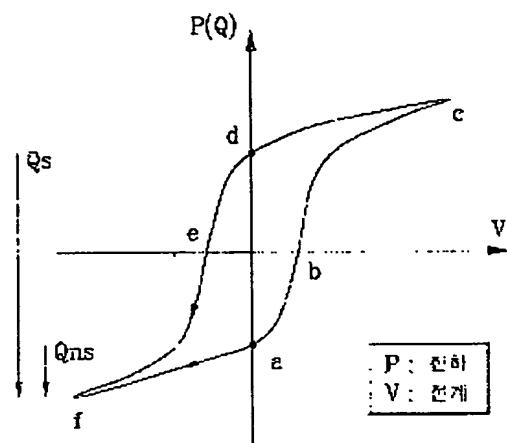
상기 레퍼런스 전압을 레벨을 조정할 수 있도록 프로그램하는 동작을 진행하기 위해서 레퍼런스 컨트롤부를 구비할 경우,

상기 프로그램 동작전에 n개의 명령어를 순차적으로 입력하여 제1상태로 부터 제n+1의 상태에 도달하게 하는 단계;

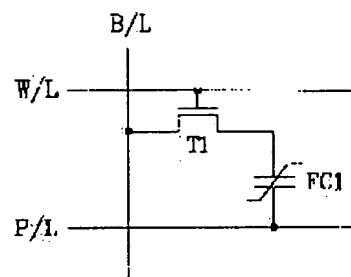
상기 제n+1상태에 도달하여 프로그램 신호를 출력하여 상기 레퍼런스 비트라인으로 레벨 조정된 상기 레퍼런스 전압을 출력하는 것을 특징으로 하는 불휘발성 강유전체 메모리 장치의 구동방법.

도면

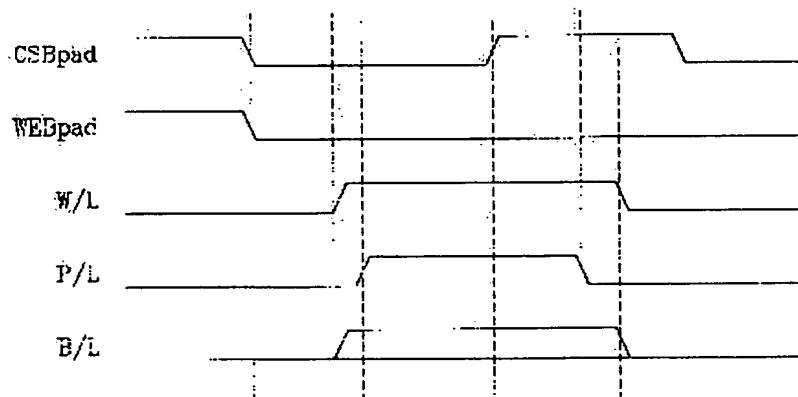
도연1



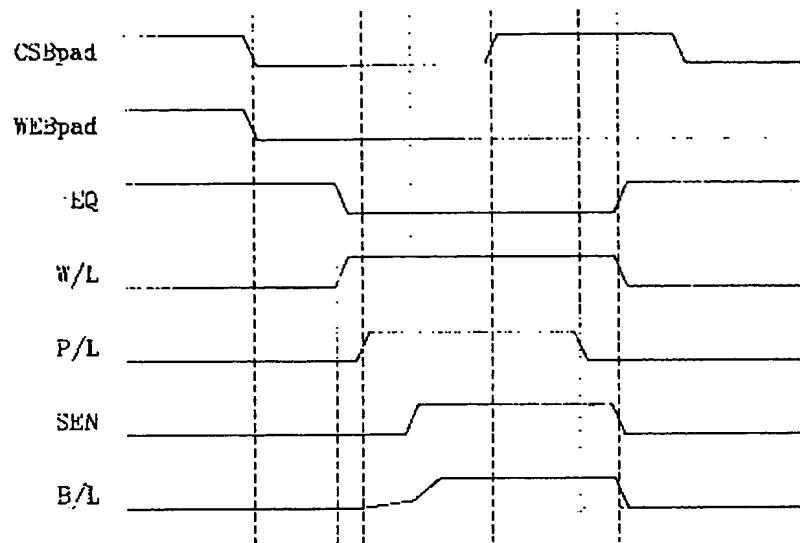
582



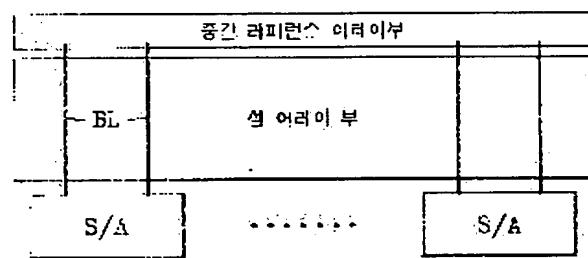
503a



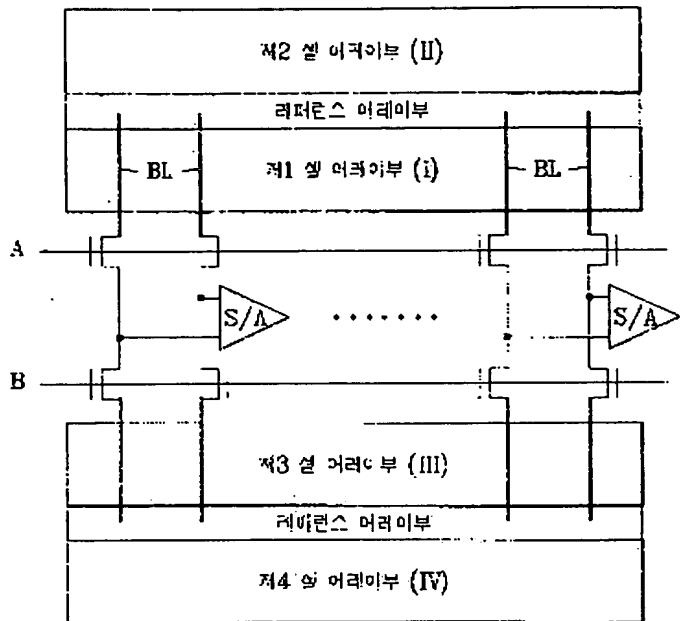
도면36



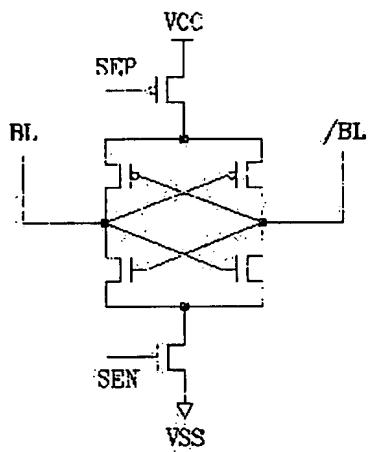
도면4



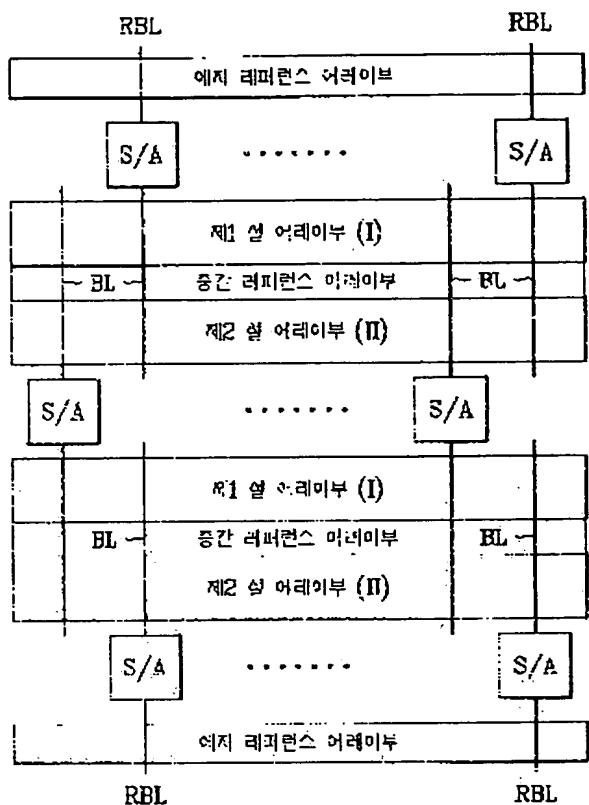
도면5



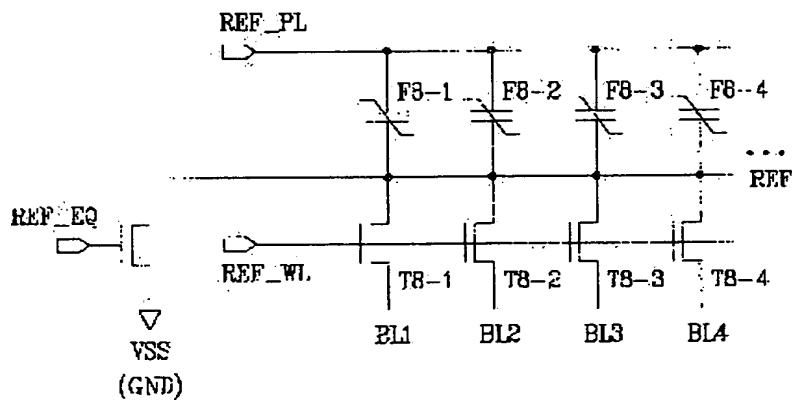
도면6



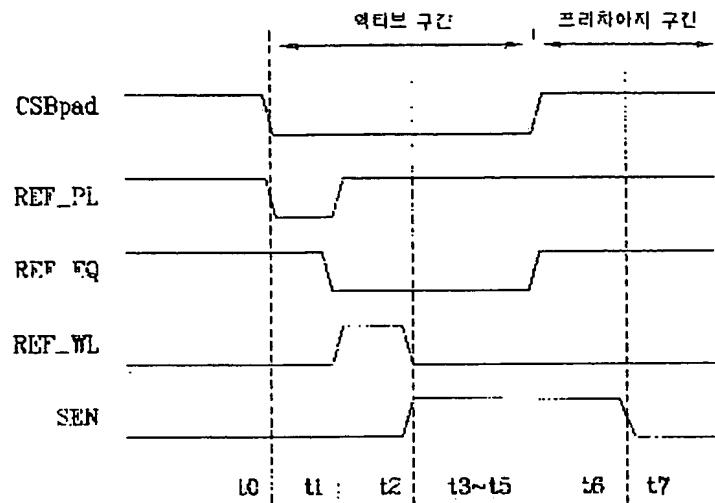
도면7



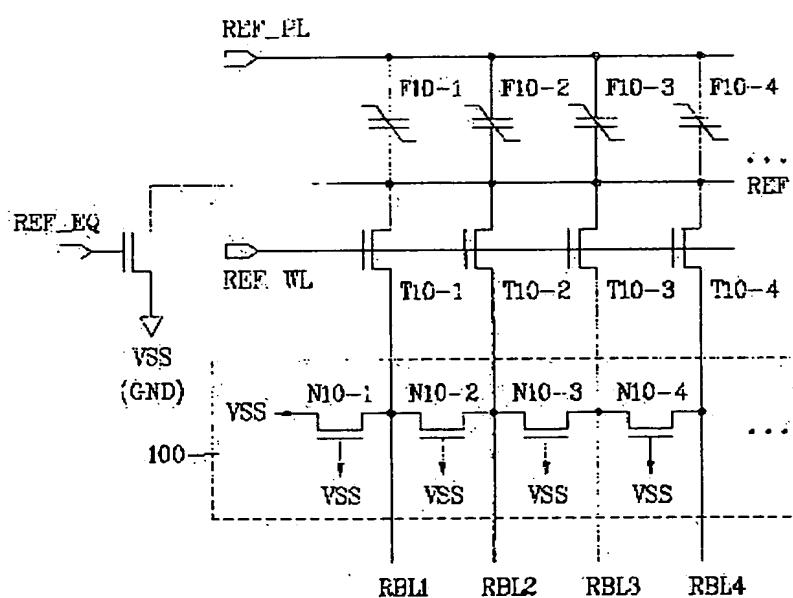
도면8



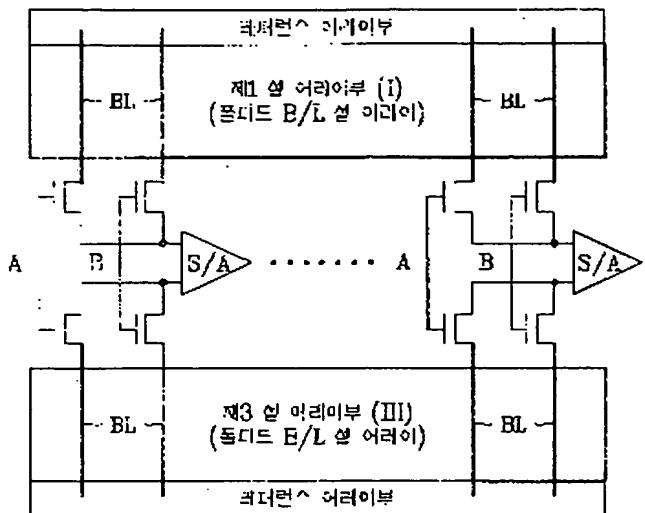
도면9



도면10



도면11a



도면11b

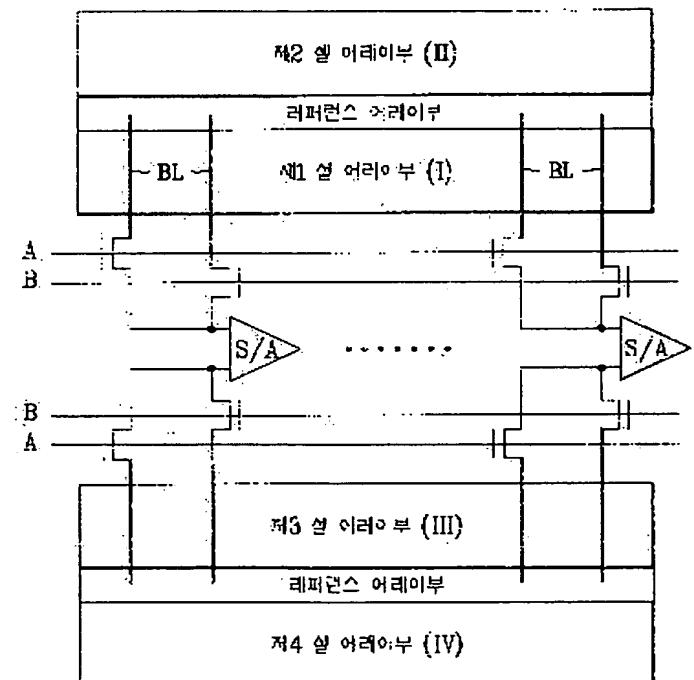


图12

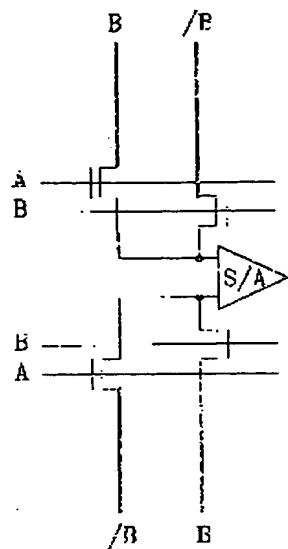
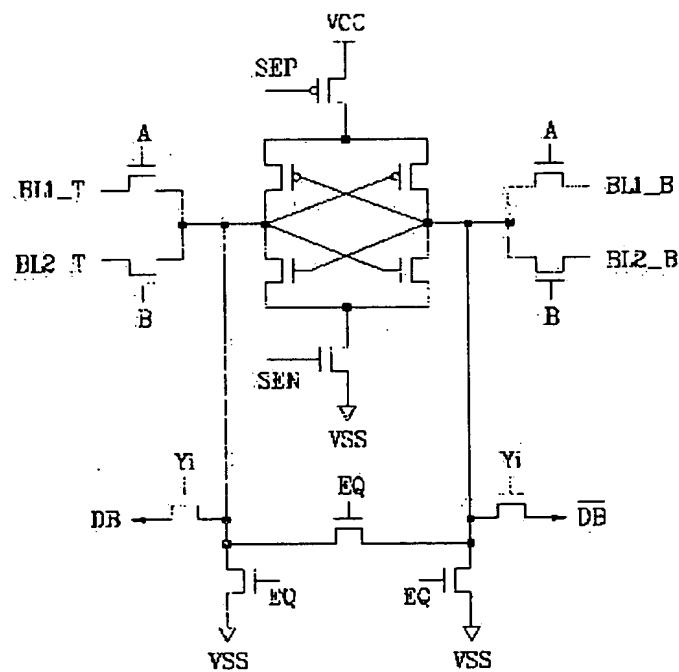
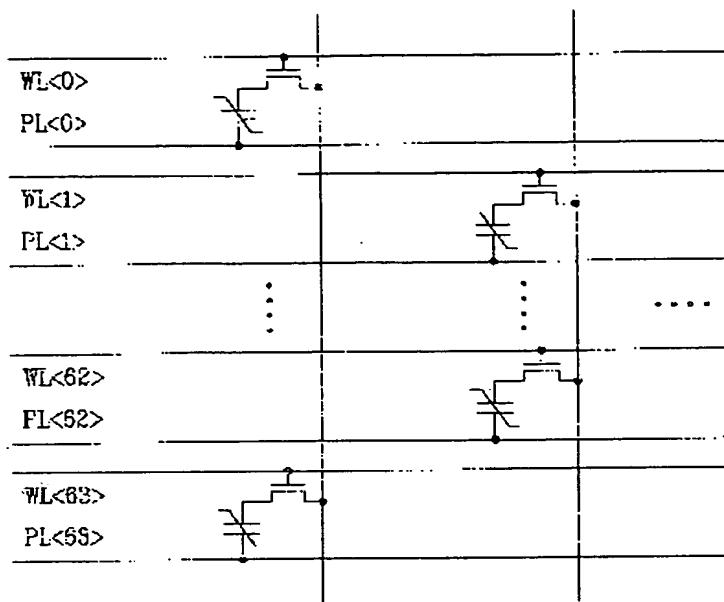


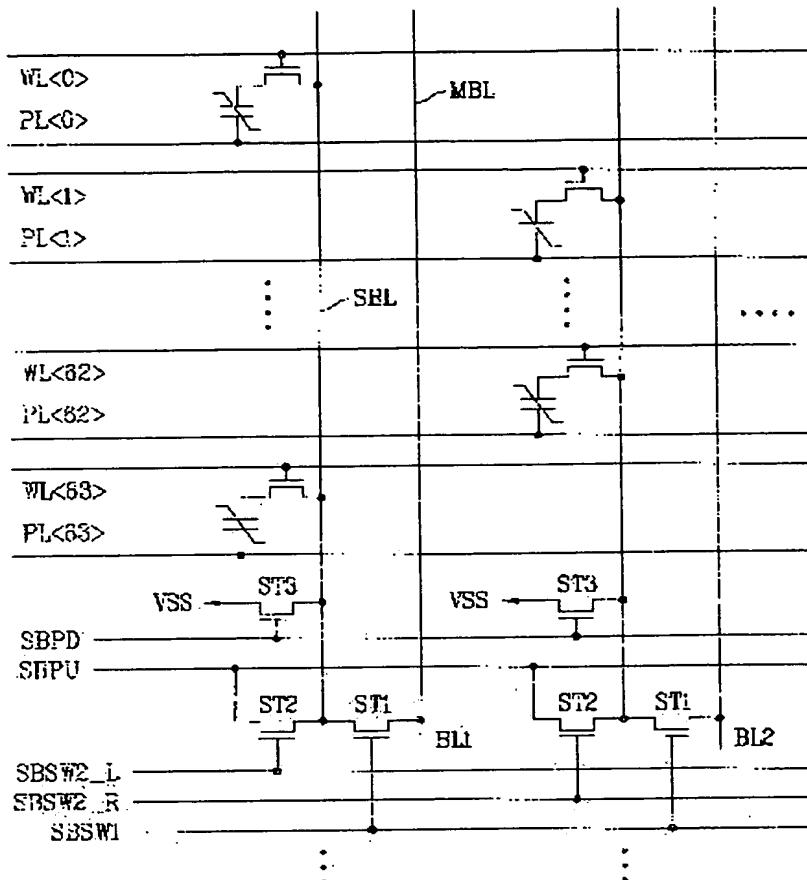
图13



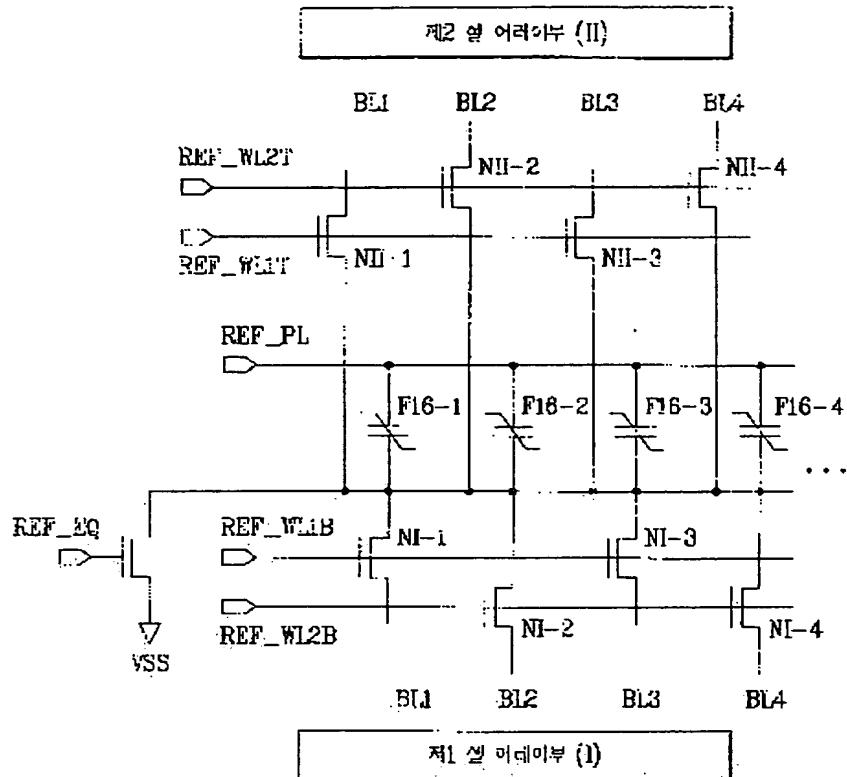
5814



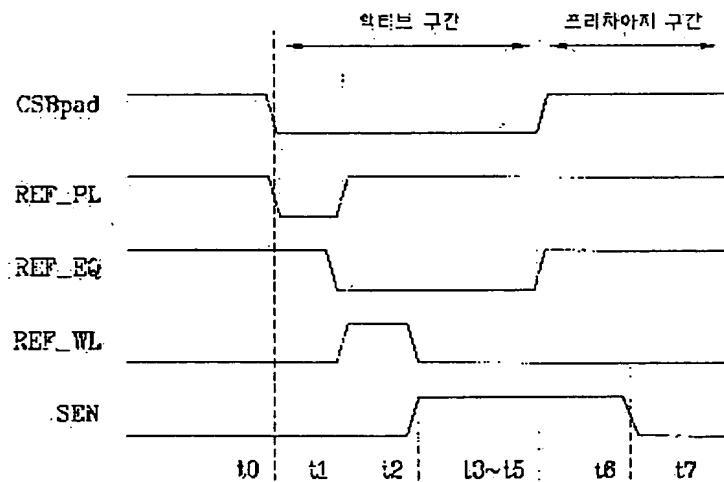
S215



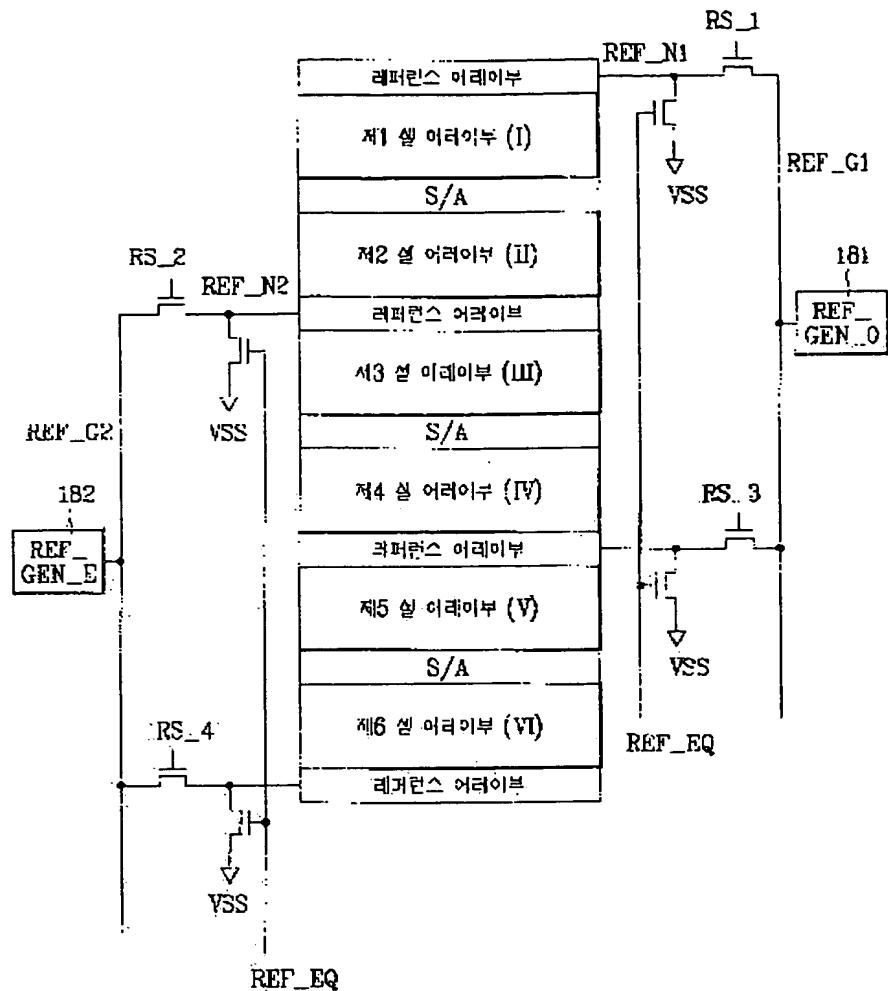
도면16



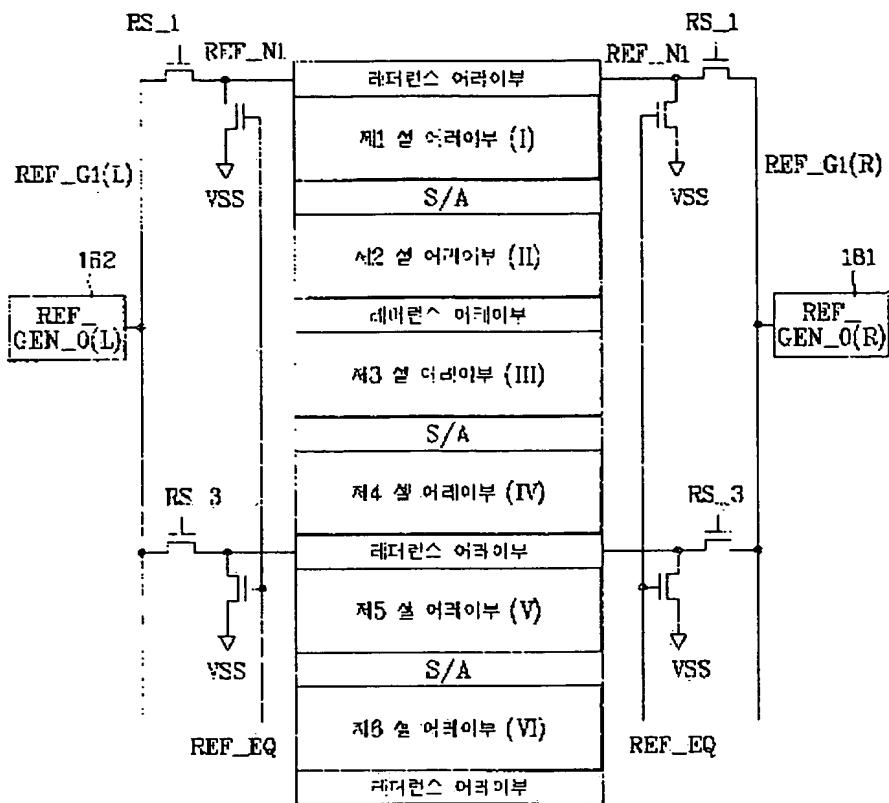
도면17



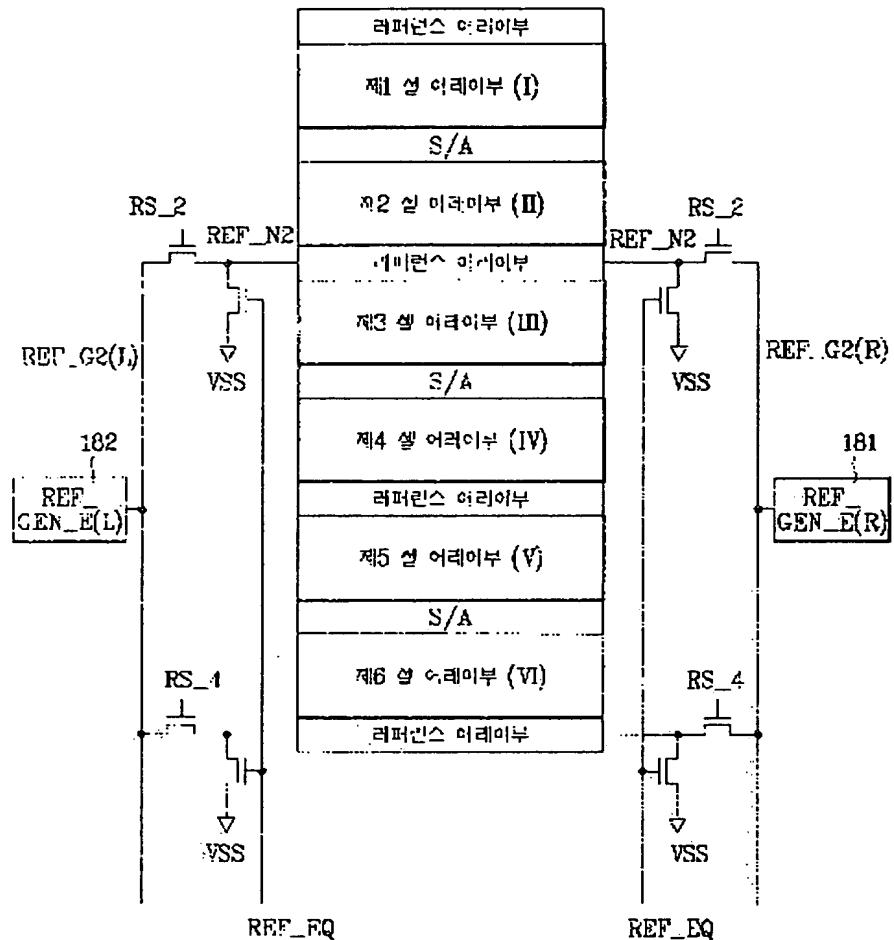
도면 18a



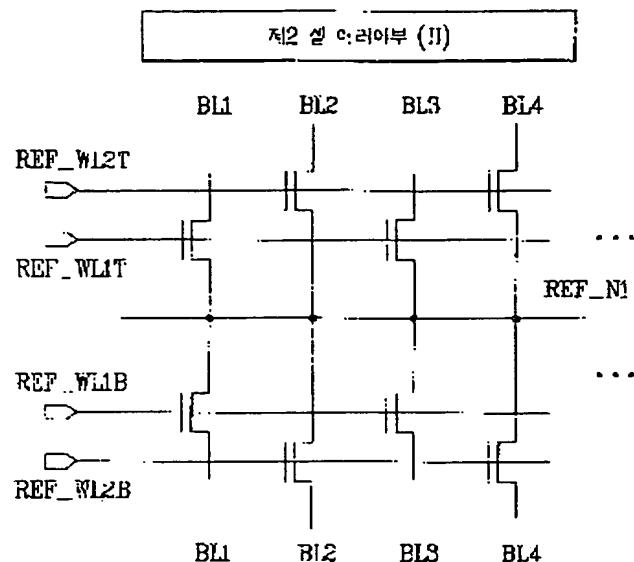
도면 18b



도면180

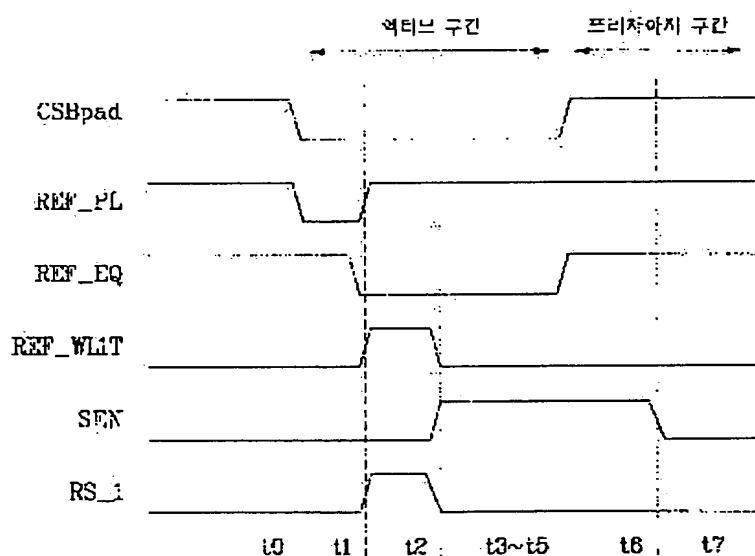


도면19

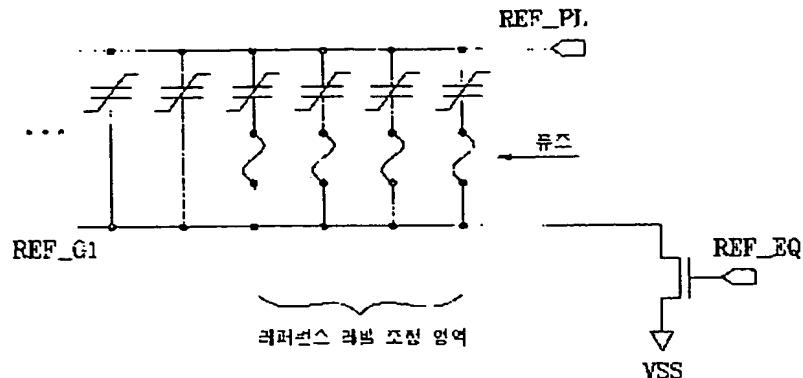


제1 실 미레이아웃 (I)

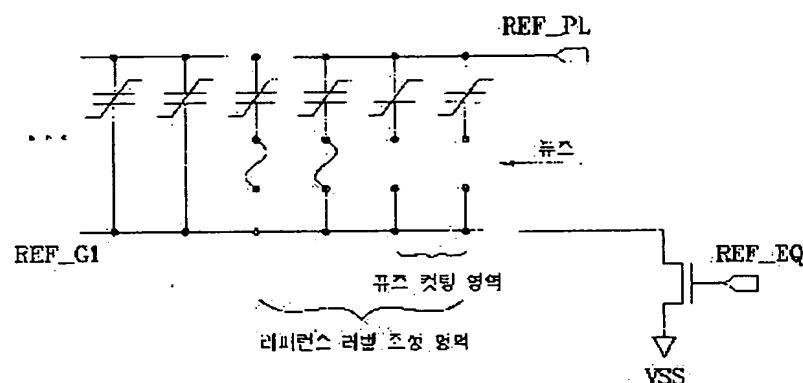
도면20



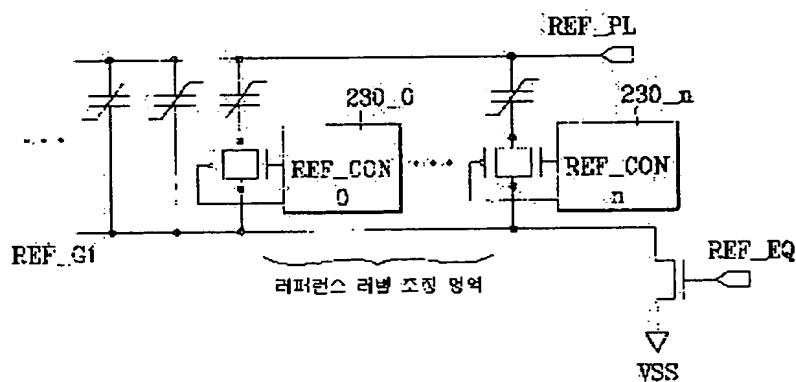
도면21



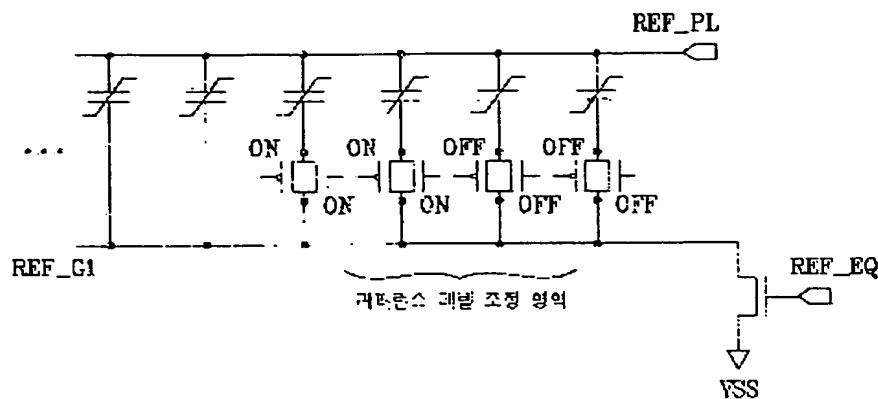
도면22



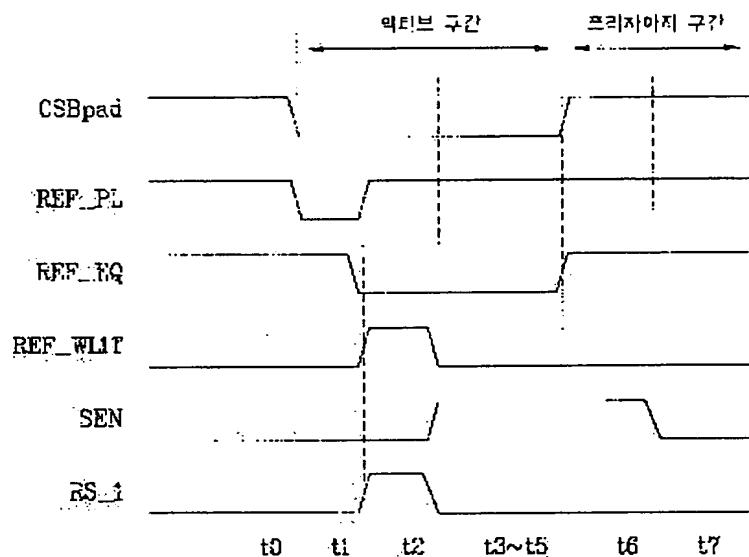
도면23



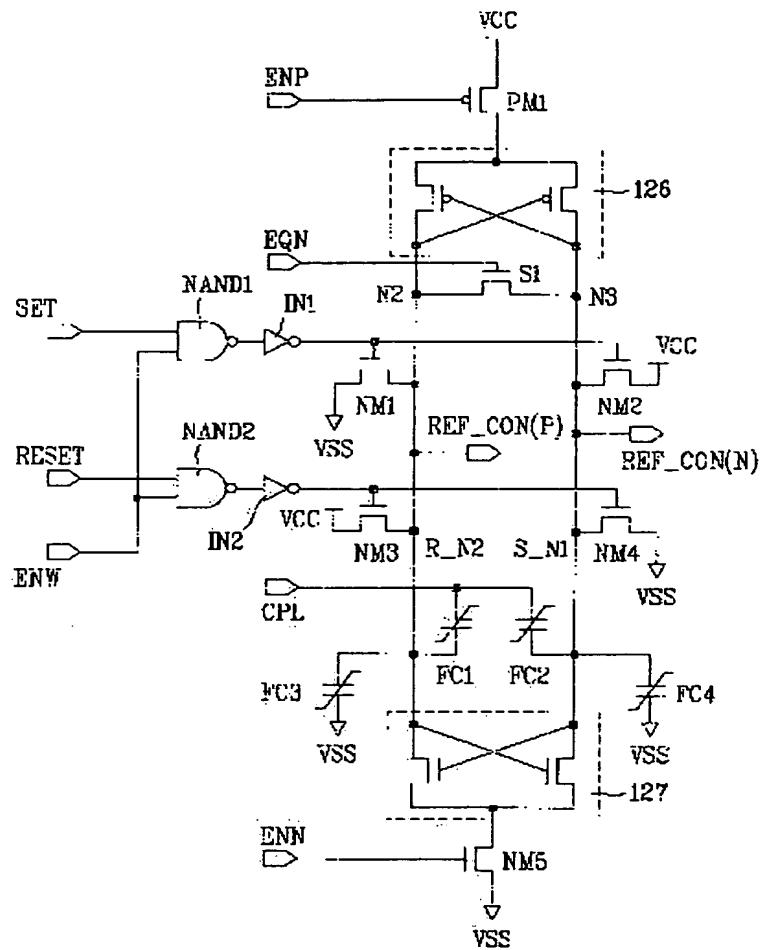
도 24



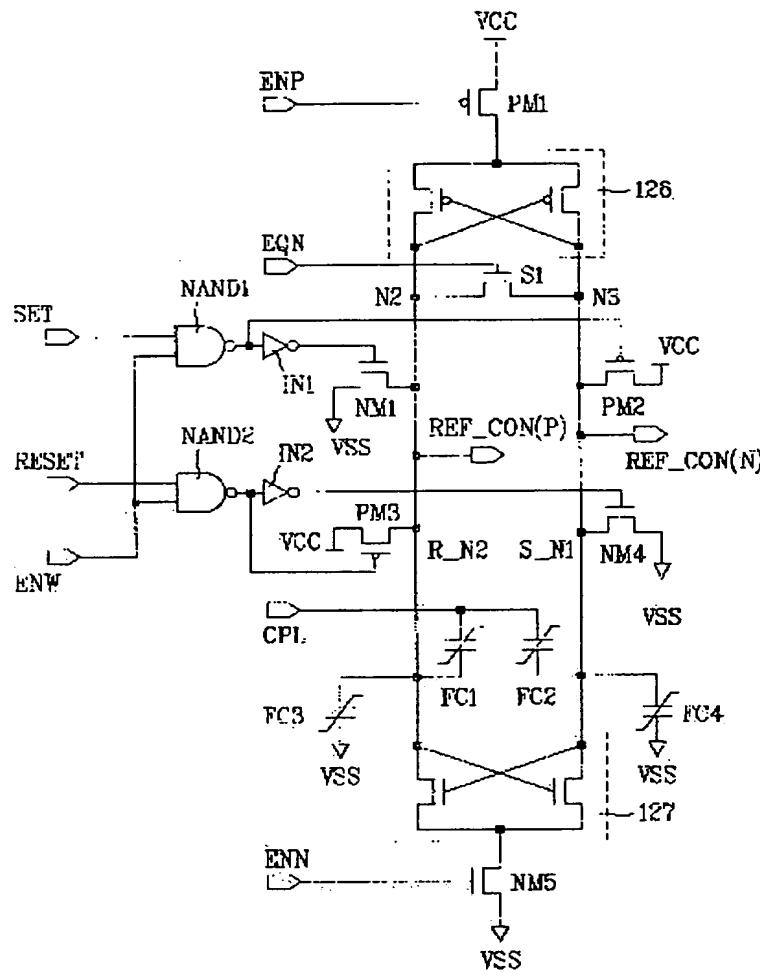
도 25



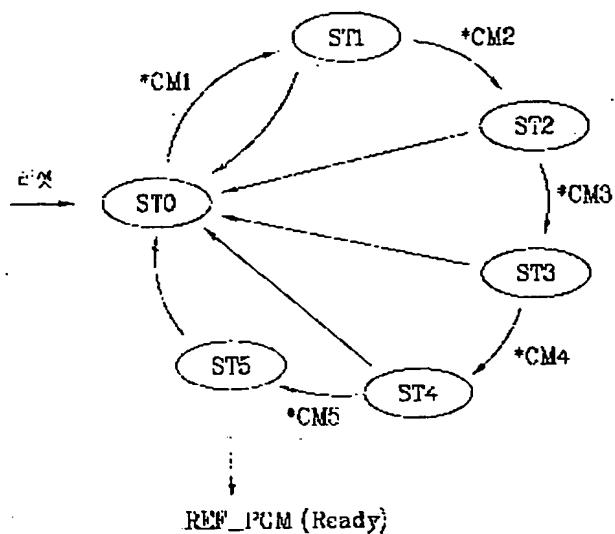
5023a



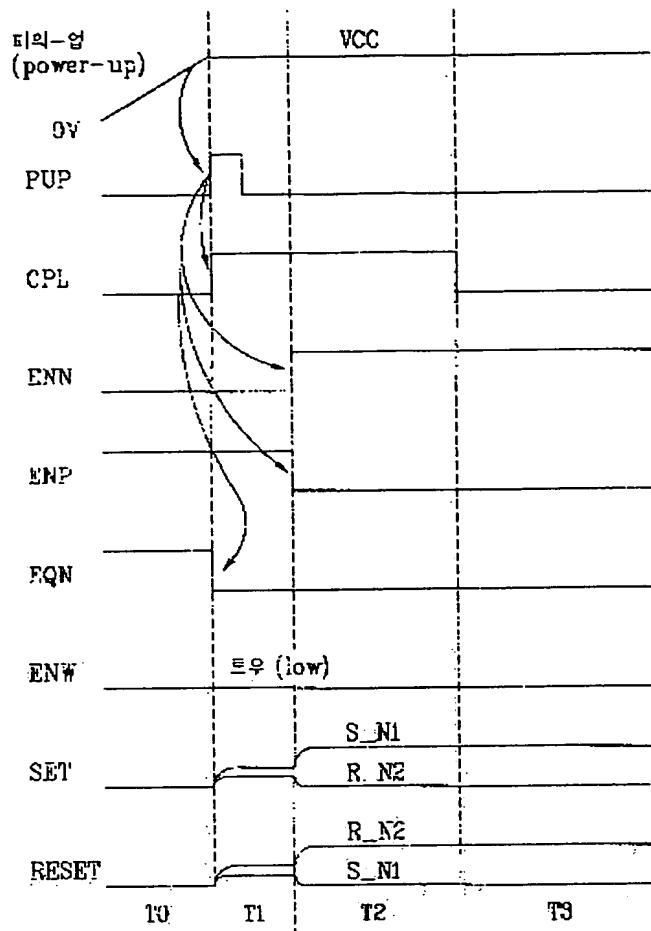
50206



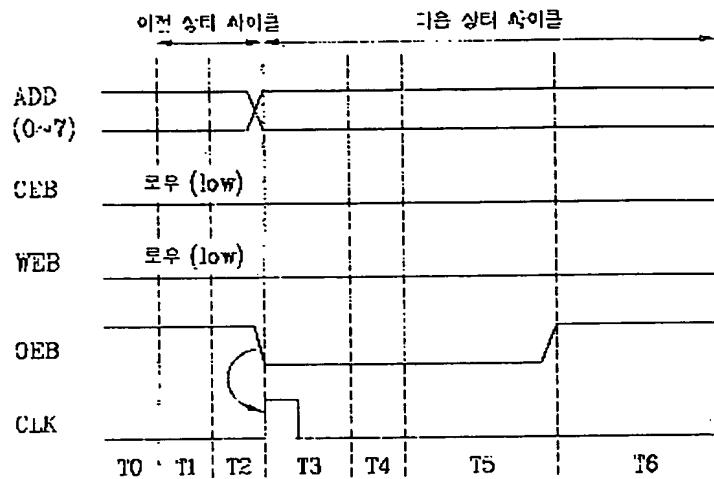
5027



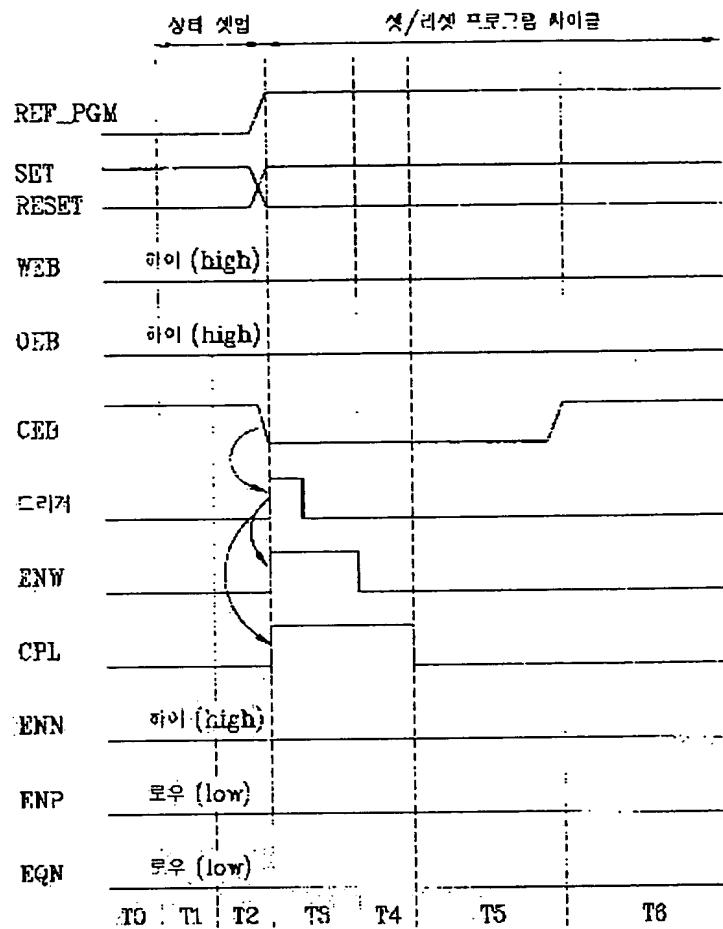
도면28



五月29



五五三〇



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.